

(19)

BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

● **Offenlegungsschrift**

(10)

DE 41 03 888 A 1

(51)

Int. Cl.<sup>5</sup>:

H 04 L 12/28

H 04 L 12/46

H 04 L 12/56

G 11 C 7/00

// G06F 9/34

(21)

Aktenzeichen:

P 41 03 888.6

(22)

Anmeldetag:

8. 2. 91

(43)

Offenlegungstag:

14. 8. 91

H04L 12/46

DE 41 03 888 A 1

(30) Unionspriorität: (32) (33) (31)

09.02.90 JP 2-030942/90 22.06.90 JP 2-165442/90

(71) Anmelder:

Hitachi, Ltd., Tokio/Tokyo, JP

(74) Vertreter:

Pagenberg, J., Dr.jur.; Frohwitter, B., Dipl.-Ing.,  
Rechtsanwälte; Geißler, B., Dipl.-Phys.Dr.jur., Pat.-  
u. Rechtsanwäl.; Bardehle, H., Dipl.-Ing.; Dost, W.,  
Dipl.-Chem. Dr.rer.nat.; Altenburg, U., Dipl.-Phys.,  
Pat.-Anwälte, 8000 München

(72) Erfinder:

Onishi, Katsuyoshi, Yokohama, JP; Takada, Osamu,  
Sagamihara, JP; Kimura, Koichi, Yokohama, JP;  
Yamaga, Mitsuhiro, Kawasaki, JP; Ogura, Toshihiko,  
Ebina, JP; Shibata, Yasushi, Hadano, JP

DOC

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Adreßfiltereinheit und -verfahren zum Ausführen eines Adreßfilterverfahrens unter einer Vielzahl von Netzwerken

(57) Die vorliegende Erfindung betrifft ein Verfahren und eine Einheit, um in einer Brückeneinheit oder ähnlichem zum Verbinden von Netzwerken benutzt zu werden. Die Adresse der Einheit führt eine Adresse der Verarbeitung zwischen einer Vielzahl von Netzwerken durch Verwenden einer Adreßinformation aus, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle registriert ist. Um die Verarbeitungseffizienz der Adresse der Verarbeitung zu verbessern, enthält die Adresse der Einheit Zeitgeber, die jeder Adreßinformationsregistrierung entsprechen, eine Zeitgebererneuerungseinrichtung zum sequentiellen und intermittierenden Fortschreiten jedes Zeitgeberwertes, und eine Einrichtung zum Löschen einer Registrierung der Adreßinformation, die den Zeitgaben von der Eingangstabelle entspricht, wenn ein Zeitgeberwert gleich oder größer als ein vorbestimmter Wert wird. Weiterhin enthält das Adreßfilterverfahren einen ersten Schritt zum sequentiellen Erzeugen einer Funktion ( $f_i(a)$ ,  $i = 1$  bis  $n$ ) als eine Adresse der Eingangstabelle einer Quelladresse, die von einem ankommenden Informationsrahmen zu der Zeit einer Registrierung in der Eingangstabelle extrahiert ist, oder eine Bestimmungsadresse ( $a$ ), die von einem ankommenden Informationsrahmen zu der Zeit einer Wiedergewinnung aus der Eingangstabelle extrahiert ist, einen zweiten Schritt zum Entscheiden, ob eine Adreßinformation in einer Adresse registriert werden kann, die in dem ersten Schritt in der ...

DE 41 03 888 A 1

Die vorliegende Erfindung betrifft ein Adreßfilterverfahren und eine -einheit, die in einer Brückeneinheit oder ähnlichem zum Verbinden von Netzwerken verwendet werden.

Eine Vermittlungsverarbeitung von Paketen wird für gewöhnlich wie folgt ausgeführt:

Eine Brückeneinheit weist eine Eingangstabelle zum Speichern einer Position auf, bei der ein Anschluß angeordnet ist. Beim Ausführen einer Vermittlungsoperation bezieht sich die Brückeneinheit auf diese Eingangstabelle und eine Zieladresse eines ankommenden Pakets, um zu entscheiden, ob das Paket übertragen oder entfernt werden sollte, d. h., die Brückeneinheit führt eine Adreßfilterverarbeitung durch.

Um genauer zu sein, wird das Paket übermittelt, wenn der Bestimmungs- bzw. Zielanschluß des Pakets in der Richtung eines unterschiedlichen LAN liegt oder wenn das Ziel des Pakets nicht bekannt ist, und wenn das Paket in der ankommenden Richtung liegt, wird es entfernt.

Es sind Verfahren eines dynamischen Lernens von Inhalten einer Eingangstabelle vorgeschlagen worden. Zum Beispiel ist eine Technik bekannt, die in der JP-A-64-39 852 beschrieben ist.

Gemäß dieser Technik wird auf ein ankommendes Paket Bezug genommen und seine Quelladresse und seine Anschlußposition werden in der Eingangstabelle registriert, um ein Lernen auszuführen.

Die Eingangstabelle wird periodisch überprüft mit dem Ziel:

1. Verhindern, daß die Tabelle durch das Lernen völlig aufgefüllt wird; und
2. flexibles Fertigwerden mit einer Bewegung der Anschlußposition, und eine Registrierung eines Anschlusses, der keine Sende- oder Empfangs-Pakete aufweist, wird aus der Eingangstabelle gelöscht.

Gemäß dem oben beschriebenen Stand der Technik sind die Perioden jedoch getrennt und eine Registrierungsperiode jedes Anschlusses wird durch ein in Übereinstimmung bringen von ihr mit den Inhalten der Registrierung gespeichert, so daß nur jene Anschlüsse, die innerhalb der laufenden Periode und innerhalb der vorangegangenen Periode registriert worden sind, wirksam gemacht werden, und jene Anschlüsse, die vor der vorangegangenen Periode registriert worden waren, werden gelöscht. Eine Registrierung von Anschlüssen, die kein Senden oder Empfangen von Paketen ausgeführt haben, wird somit gelöscht. Daher werden Inhalte eines Lernens, das während der Periode vor der vorangegangenen Periode ausgeführt wurde, gelöscht. Als ein Ergebnis ist am Anfang jeder Periode die Anzahl der Eingaben der Eingangstabelle nicht ausreichend, so daß es ein Problem gibt, daß die Trefferrate reduziert ist.

Es ist eine Aufgabe der vorliegenden Erfindung, ein Adreßfilterverfahren und eine -einheit zu schaffen, die eine Tabelle davon abhalten können, durch das Lernen gefüllt zu werden, ohne eine Trefferrate zu reduzieren, und die flexibel mit mehreren Anschlußpositionen fertigwerden können.

Es ist eine weitere Aufgabe der vorliegenden Erfindung, ein Adreßfilterverfahren und eine -einheit zu schaffen, die eine Verarbeitungseffizienz der Adreßfilterverarbeitung verbessern können.

Um die obigen Aufgaben zu lösen, schafft die vorlie-

gende Erfindung eine Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung unter einer Vielzahl von Netzwerken durch Benutzen einer Adreßinformation, die aus einem ankommenden Informationsrahmen extrahiert wird, der in einer Eingangstabelle registriert ist. Die Adreßfiltereinheit besteht aus einem Zeitgeber, der vorgesehen ist, um jeder Adreßinformationsregistrierung zu entsprechen, einer Zeitgebererneuerungseinheit zum sequentiellen und intermittierenden Fortschalten jedes Zeitgeberwerts, und einer Einheit zum Löschen einer Registrierung einer Adreßinformation, die dem Zeitgeber aus der Eingangstabelle entspricht, wenn ein Zeitgeberwert gleich oder größer als ein vorbestimmter Wert wird.

Um die obigen Aufgaben zu lösen, sieht die vorliegende Erfindung weiterhin eine Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung unter einer Vielzahl von Netzwerken vor durch Benutzen einer Adreßinformation, die aus einem ankommenden Informationsrahmen extrahiert wird, der in einer Eingangstabelle registriert ist. Die Adreßfiltereinheit besteht aus einem Zeitgeber, der vorgesehen ist, um jeder Adreßinformationsregistrierung zu entsprechen, einer Zeitgebererneuerungseinheit zum sequentiellen und intermittierenden Fortschalten jedes Zeitgeberwerts, einer Starteinheit zum Starten der Zeitgebererneuerungseinheit in einem konstanten Zyklus  $\Delta T$  und einer Einheit zum Löschen einer Registrierung der Adreßinformation, die dem Zeitgeber aus der Eingangstabelle entspricht, wenn ein Zeitgeberwert gleich oder größer als ein vorbestimmter Wert wird.

Die vorliegende Erfindung schafft darüber hinaus ein Adreßfilterverfahren zum Ausführen einer Adreßfilterverarbeitung unter einer Vielzahl von Netzwerken durch Empfangen einer Adreßinformation, die aus einem ankommenden Informationsrahmen extrahiert wird, der in einer Eingangstabelle registriert ist. Das Adreßfilterverfahren besteht aus einem ersten Schritt zum sequentiellen Erzeugen als eine Adresse der Eingangstabelle einer Funktion  $f(i(a), i=1 \text{ bis } n)$  einer Zieladresse (a), die aus einem ankommenden Informationsrahmen zu der Zeit des Empfangens einer Quelladresse extrahiert wird, oder der Eingangstabelle, die aus einem ankommenden Informationsrahmen zu der Zeit des Registrierens der Eingangstabelle extrahiert wird, einem zweiten Schritt zum Füllen einer Entscheidung darüber, ob eine Adreßinformation, die in dem ersten Schritt erzeugt ist, in der Adresse der Eingangstabelle registriert werden muß oder nicht, und einem dritten Schritt zum Füllen einer Entscheidung darüber, ob die in dem ersten Schritt erzeugte Adreßinformation, die in der Adresse der Eingangstabelle registriert ist, eine erwünschte Adreßinformation ist oder nicht, wobei der erste Schritt, der zweite Schritt und der dritte Schritt aufeinanderfolgend bzw. pipelineverarbeitet werden.

Weiterhin schafft die vorliegende Erfindung eine Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung unter einer Verzweigungsleitungs-LAN und einem Fernvermittlungs- bzw. Verbindungsleitungsnetzwerk, die  $N$  ( $N \geq 1$ ) logische Übertragungspfade oder physikalische Übertragungspfade aufweisen, durch Empfangen einer Adreßinformation, die aus einem ankommenden Informationsrahmen extrahiert wird, der in einer Eingangstabelle registriert ist, und zwar zum Zwecke eines Verbesserns einer Verarbeitungseffizienz der Adreßfilterverarbeitung. Die Adreßfiltereinheit besteht aus einer Prioritätsordnungsentscheidungseinheit zum Entscheiden über eine Prioritätsordnung zum Aus-

führen einer Registrierung einer Adreßinformation, die aus einem Verzweigungsleitungs-LAN ankommt, in die Eingangstabelle, einer Registrierung einer Adreßinformation, die von N Übertragungspfaden eines Fernnetzwerks in die Eingangstabelle ankommt, und ein Empfangen einer Adreßinformation aus der Eingangstabelle und aus einer Ausführungseinheit zum Ausführen der Verarbeitung, die auf dem Ergebnis einer Entscheidung basiert.

Um die oben beschriebenen Aufgaben zu lösen, schafft die vorliegende Erfindung darüber hinaus eine Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung unter einem Verzweigungsleitungs-LAN und einem Fernleitungsnetzwerk, die N ( $N \geq 1$ ) logische Übertragungspfade oder physikalische Übertragungspfade aufweisen, durch Empfangen einer Adreßinformation, die aus einem ankommenden Informationsrahmen extrahiert wird, die in einer Eingangstabelle registriert ist, zum Zwecke eines Verbesserns der Verarbeitungseffizienz der Adreßfilterverarbeitung. Die Adreßfiltereinheit besteht aus einer Prioritätsentscheidungseinheit zum Entscheiden über eine Prioritätsordnung zum Ausführen einer Registrierung einer Adreßinformation, die aus einem Verzweigungsleitungs-LAN in die Eingangstabelle ankommt, einer Registrierung einer Adreßinformation, die aus N Übertragungspfaden eines Fernnetzwerks in die Eingangstabelle ankommt und eines Empfangs der Adreßinformation aus der Eingangstabelle, aus einer Adreßerzeugungseinheit zum sequentiellen Erzeugen als eine Adresse der Eingangstabelle einer Funktion ( $f_i(a)$ ,  $i=1$  bis  $n$ ) einer Quelladresse, die aus einem ankommenden Informationsrahmen zu der Zeit eines Registrierens in der Eingangstabelle extrahiert wird, oder einer Zieladresse ( $a$ ), die aus einem ankommenden Informationsrahmen zu der Zeit eines Empfangens aus der Eingangstabelle extrahiert wird, aus einer Registrieradreßkandidatenentscheidungseinheit zum Entscheiden über eine Registrieradresse unter Adressen, die sequentiell durch die Adreßerzeugungseinheit erzeugt sind, in der Eingangstabelle zu der Zeit der Registrierung, aus einer Empfangseinheit zum Empfangen einer gewünschten Adreßinformation aus der Adresse, die durch die Adreßerzeugungseinheit in der Eingangstabelle erzeugt ist, und aus einer Einheit zum parallelen Betreiben einer Verarbeitung zum Erzeugen einer  $i$ -ten Adresse durch die Adreßerzeugungseinheit, Verarbeitung zum Empfangen einer  $(i-1)$ -ten Adresse durch eine Empfangseinheit oder einer einer Verarbeitung zum Entscheiden über die  $(i-1)$ -ten Adressen durch die Registrieradreßkandidatenentscheidungseinheit.

Um die oben beschriebenen Aufgaben zu lösen, schafft die vorliegende Erfindung weiterhin eine Speicherschaltung, die aus einem Speicher besteht, einem Vergleichsabschnitt zum Entscheiden über einen Daten-erzeugungsmodus, basierend auf Daten, die von außen eingegeben werden, und Daten, die aus dem Speicher ausgelesen werden, einem Datenverarbeitungsabschnitt zum Erzeugen von Daten, die in die Adresse einzuschreiben sind, in die Daten aus dem Speicher in Übereinstimmung mit dem Datenerzeugungsmodus gelesen worden sind, der durch einen Vergleichsabschnitt gewählt ist, und einem Adreßerzeugungsabschnitt zum sequentiellen Erzeugen einer Adresse in Übereinstimmung mit einer vorbestimmten Regel, bis eine Bedingung, die aus einer Beziehung zwischen eingegebenen Daten und ausgelesenen Daten zu bestimmen ist, eine von vorbestimmten Bedingungen von nicht weniger als

1 wird, und zum Auslesen von Daten aus dem Speicher.

Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der vorliegenden Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der Zeichnung.

Fig. 1 ist ein Diagramm eines Systemaufbaus, das den Aufbau eines Netzwerksystems zeigt, bei dem die vorliegende Erfindung angewandt wird;

Fig. 2 ist ein erklärendes Diagramm, das die Darstellung einer Rahmenverbindung zeigt;

Fig. 3 ist ein Blockdiagramm, das den Aufbau einer Brückeneinheit zeigt;

Fig. 4 ist ein erklärendes Diagramm, das die Darstellung segmentierender und wieder zusammensetzender Verarbeitungen zeigt;

Fig. 5 ist ein erklärendes Diagramm, das den Aufbau einer Zelle zeigt;

Fig. 6 ist ein erklärendes Diagramm, das den Aufbau einer Eingangstabelle zeigt;

Fig. 7 ist ein Schaltungsdiagramm einer Kontrollschaltung;

Fig. 8 ist ein Blockdiagramm, das den Aufbau eines Leitsteuerabschnitts zeigt, der sich auf ein erstes Ausführungsbeispiel der vorliegenden Erfindung bezieht;

Fig. 9 ist ein Zustands-Änderungsdiagramm, das den Betrieb des Leitsteuerabschnitts zeigt;

Fig. 10 ist ein Zeitdiagramm, das den aufeinanderfolgenden Betrieb der Kontrollschaltung zeigt;

Fig. 11 ist ein Zustands-Änderungsdiagramm, das den Betrieb der Kontrollschaltung zeigt;

Fig. 12 ist ein Zustands-Änderungsdiagramm, das den Betrieb einer Empfangsverarbeitung zeigt;

Fig. 13 ist ein Zustands-Änderungsdiagramm, das den Betrieb einer Registrierungsverarbeitung zeigt;

Fig. 14 ist ein Zeitdiagramm, das das Steuern eines Erneuerns eines alternden Zeitgebers zeigt;

Fig. 15 ist ein Zustands-Änderungsdiagramm, das den Betrieb eines Erneuerungsverfahrens des alten Zeitgeberwerts zeigt;

Fig. 16 ist ein Systemaufbaudiagramm, das den Aufbau eines Netzwerksystems zeigt, das sich auf ein zweites Ausführungsbeispiel der vorliegenden Erfindung bezieht;

Fig. 17 ist ein erklärendes Diagramm, das den Aufbau einer Eingangstabelle zeigt;

Fig. 18 ist ein Blockdiagramm, das den Aufbau einer Brückeneinheit zeigt;

Fig. 19 ist ein Zeitdiagramm, das den Betrieb eines D-RAM zeigt, der in einer Speicherschaltung benutzt wird;

Fig. 20 ist ein Blockdiagramm, das den Aufbau einer Datenbasis zeigt, die die Speicherschaltung benutzt;

Fig. 21 ist ein Zeitdiagramm, das den Betrieb der Speicherschaltung zeigt;

Fig. 22 ist ein Zustands-Änderungsdiagramm, das den Betrieb der Speicherschaltung zeigt;

Fig. 23 ist ein erklärendes Diagramm, das einen Feldaufbau von Speicherdaten zeigt;

Fig. 24 ist ein Blockdiagramm, das den Aufbau einer Speicherschaltung zeigt, die sich auf ein drittes Ausführungsbeispiel der vorliegenden Erfindung bezieht;

Fig. 25 ist ein erklärendes Diagramm, das das Betriebsprinzip der Speicherschaltung zeigt;

Fig. 26 ist ein erklärendes Diagramm, das ein Beispiel einer Änderungsverarbeitung der Speicherdaten zeigt;

Fig. 27 ist ein Diagramm, das eine Chipaufteilung der Speicherschaltung zeigt; und

Fig. 28 ist ein Blockdiagramm, das den Aufbau einer

Brückeneinheit zeigt.

Nachfolgend wird eine Brückeneinheit in einem Ausführungsbeispiel der vorliegenden Erfindung beschrieben.

Das Netzwerksystem, das die Brückeneinheit benutzt, die sich auf das vorliegende Ausführungsbeispiel bezieht, wird zuerst beschrieben.

Fig. 1 zeigt den Aufbau des Netzwerksystems.

In Fig. 1 sind Knoten 1 bis 3 mit einem lokalen Verbindungsnetzwerk (LAN) hoher Geschwindigkeit 4 (600 Mbps bis 2,4 Gbps, 150 Mbps  $\times$  4 bis 16 multiplex) verbunden, und Faseraufteilungs-Datenschnittstellen (FDDI) 5 bis 8 passen z. B. 802 Familien-LAN an. Der Knoten 1 paßt bis zu vier Tore unter Verwendung von Brückeneinheiten 11 bis 14 als Tore an.

Bezüglich der Brückeneinheiten verbindet z. B. eine Brückeneinheit 11 die FDDI 5 und das Verbindungsleitungs-LAN hoher Geschwindigkeit 4.

Die FDDI 5 verbindet 802 Familien-LANs 51 und 52. Mit anderen Worten weist das Netzwerksystem, das sich auf das vorliegende Ausführungsbeispiel bezieht, drei Hierarchien von LANs auf. In diesem Fall wird die Gesamtheit der 802 Familien-LANs 51 und 52 und FDDI 5 als Verzweigungs-LAN für die Brückeneinheit 11 betrachtet. Wenn die 802 Familien-LANs direkt mit der Brückeneinheit 11 verbunden sind, werden diese verbundenen LANs als Verzweigungs-LANs angesehen.

Die Brückeneinheiten 11 bis 14 entscheiden, ob Rahmen, die von den FDDIs empfangen werden, entfernt oder vermittelt werden sollen, und zwar durch Auffinden von Vermittlungsrouten. Für die zu vermittelnden Rahmen wandeln die Brückeneinheiten 11 bis 14 jene Rahmen in ein Datenformat eines Verbindungsleitungs-LANs hoher Geschwindigkeit 4 um (Segmentierungsverarbeitung) und übertragen das Ergebnis. Die Brückeneinheiten 11 bis 14 wandeln Daten zurück, die von dem Verbindungsleitungs-LAN hoher Geschwindigkeit 4 empfangen sind, in ein originales Datenformat, und zwar durch die FDDI-Rahmen (Wiederzusammensetzungsverarbeitung), und übertragen das Ergebnis (im nachfolgenden Leitverarbeitung genannt).

Die Darstellung der Leitverarbeitung wird nachfolgend basierend auf der Brückeneinheit 11 zum Verbinden des Verbindungsleitungs-LAN hoher Geschwindigkeit 4 und der FDDI 5 als ein Beispiel erklärt werden.

Die Verbindungsleitungs-LAN hoher Geschwindigkeit verwendet ein Zellensystem fester Länge, das einen Übertragungsmodus eines breitbandigen ISDN anwendet, das der Multimedienubertragung entspricht, und verwendet ein statistisches Multiplex, das Zellen einer erforderlichen Anzahl verwendet, die der Quantität einer Information entspricht, um dadurch ein hyperkomplexes Multiplex einer Information zu realisieren, die von einem langsamen Zugriff zu einem schnellen Zugriff reicht.

Fig. 2 zeigt einen Fluß eines Rahmens von der FDDI 5 zu der FDDI 8 über das Verbindungsleitungs-LAN hoher Geschwindigkeit 4.

Die Brückeneinheiten 11 und 21 speichern Positionen der FDDI-Knoten, die in Eingangstabellen 1114 und 2114 existieren (Lernen) und führen die Leitverarbeitung unter Bezugnahme auf die gespeicherten Positionen aus.

Die Eingangstabellen 1114 und 2114 drücken Richtungen aus, in denen die FDDI-Knoten existieren, und zwar durch Verwendung von Brückeneinheits-Zahlen des Verbindungsleitungs-LAN hoher Geschwindigkeit

4. Bei dem vorliegenden Ausführungsbeispiel sind Brückeneinheits-Zahlen A und B jeweils den Brückeneinheiten 11 und 21 zugeordnet.

Durch die obige Anordnung weist der Eingang der Eingangstabelle 11 Sätze einer FDDI-Adresse mit einer Steuerung mit mittlerer Zugriffszeit (MAC) und eine Brückeneinheits-Zahl auf.

Die Brückeneinheit 11 wandelt einen Rahmen, der von der FDDI 5 empfangen ist, in Zellen eines Übertragungs-Datenformats des Verbindungsleitungs-LAN einer Vermittlung hoher Geschwindigkeit 4 um (Segmentierungsverarbeitung).

Genauer gesagt teilt die Brückeneinheit 11 einen empfangenen Rahmen in eine Zelleneinheit einer festen Länge auf, addiert einen Kopf, der eine Quellenbrückeneinheitszahl, eine Zielbrückeneinheitszahl usw. aufweist, zu der Zelleneinheit und überträgt das Ergebnis zu dem LAN hoher Geschwindigkeit 4. Eine Zielbrückeneinheit 21(B) ist eine Brückeneinheit mit einem Ziel-FDDI-Knoten 81(b) unter ihrer Kontrolle, und wird unter Bezugnahme auf die Eingangstabelle 2114 erhalten, die die Ziel-FDDI-MAC-Adresse als ein Schlüssel verwendet.

Andererseits empfängt die empfangende Brückeneinheit 21 Zellen, die zu dieser Brückeneinheit übertragen werden, setzt die Zellen wieder in einen Rahmen zusammen (Wiederzusammensetzungsverarbeitung), und vermittelt das Ergebnis unter ihrer Kontrolle zu der FDDI 8.

Die obige Leitinformation (die FDDI-MAC-Adresse und die Brückeneinheitszahl) wird wie folgt gelernt:

Die übertragende Brückeneinheit 11 registriert einen Satz der Quelladresse (a) und der eigenen Brückeneinheitszahl (A) des Rahmens, der von der FDDI 5 empfangen wird, in der Eingangstabelle 1114.

Die empfangende Brückeneinheit 21 registriert in der Eingangstabelle 2114 den Satz der Quelladresse (a) und der übertragenden Brückeneinheitszahl (A), basierend auf den Zellen, die von dem LAN hoher Geschwindigkeit 4 empfangen werden.

Bei dem vorliegenden Ausführungsbeispiel werden die Eingänge in den Eingangstabellen 1114 und 2114 durch den alten Zeitgeberwert basierend auf der Regelung der IEEE 802,1 (Bereich: 10 bis 10<sup>6</sup> Sekunden) gelöscht.

Einzelheiten der Brückeneinheit und Einzelheiten der Leitverarbeitung werden als nächstes erklärt.

Fig. 3 zeigt den Aufbau der Brückeneinheit 11.

In Fig. 3 wird gezeigt: ein Schleifenzugriffsbereich 10 eines LAN hoher Geschwindigkeit, der zu dem Knoten gehört, eine Brückeneinheit 11, ein Vermittlungssteuerbereich 111 und ein FDDI-Steuerungsbereich 112. Ein Segmentierungssteuerbereich 1111, der den Rahmen auseinandernimmt, der durch den FDDI-Steuerungsbereich 112 von dem FDDI-Ring in Zellen empfangen worden ist, und überträgt die Zellen zu dem LAN hoher Geschwindigkeit 4, und ein Wiederzusammensetzungssteuerbereich 1112, der die Zellen zusammensetzt, die von dem Schleifenzugriffsbereich 10 in einen Rahmen empfangen worden sind, überträgt den Rahmen dem FDDI-Steuerungsbereich 112. Ein Leitsteuerbereich 1113 lernt die Position der Station und filtert den Verbindungsleitungsrahmen. Eine Eingangstabelle ist mit 1114 bezeichnet.

Um ein Vermitteln in der Brückeneinheit auszuführen, wird eine Datenformatumwandlung zwischen der FDDI und den LAN hoher Geschwindigkeit 4 ausgeführt, wie es in der Fig. 2 gezeigt ist.

Zuerst wird das Segmentierungsverarbeiten zum Auseinandernehmen des FDDI-Rahmens in Zellen und

das Wiederzusammensetzungsverarbeiten zum Wiederzusammensetzen der Zellen in den Originalrahmen beschrieben.

Der Segmentierungssteuerungsbereich 1111 nimmt den empfangenen FDDI-Rahmen, der in einem Empfangspuffer 1121 des FDDI-Steuerungsbereichs 112 in Zellen auseinander (Fig. 4(1)) und liefert die Zellen zu dem Schleifenzugriffsbereich 10.

Beim Segmentierungsverarbeiten wird ein Zellenkopf einschließlich einer virtuellen Ziel-Kanalkennung (VCI) und einer Quellen-VCI (eigene VCI) zu einer Zelleinheit addiert, um Zellen zu errichten, wie es in der Fig. 5 gezeigt ist. Die VCI steht für die oben beschriebene Brückeneinheitsszahl und diese weist die Knotenadresse und die Tor-(Brückeneinheit)-Adresse auf. Die Ziel-VCI zum Anpassen an den Zielanschluß wird von der Eingangstabelle 1114 erhalten.

In der Zwischenzeit setzt der Wiederzusammensetzungssteuerungsabschnitt 1112 beim Wiederzusammensetzungsverarbeiten die Zelleinheiten, die durch die übertragende bzw. sendende Brückeneinheit auseinandergenommen sind, wieder in den Originalrahmen in der empfangenen Brückeneinheit zusammen (Fig. (2)). Der wieder zusammengesetzte Rahmen wird zu einem Sende- bzw. Übertragungspuffer 1125 des FDDI-Steuerungsabschnitts 112 übertragen.

Nun wird die Entscheidung eines Verbindens/Entfernens und das Leitverarbeiten zum Übertragen von Zellen zu der Brückeneinheit beschrieben, die den Entscheidungsanschluß anpaßt.

Der Segmentierungssteuerungsabschnitt 1111 empfängt den Rahmen an der FDDI, die zu verbinden ist, hält die Eingangstabelle 1114 unter der Kontrolle des Leitsteuerungsabschnitts 1113 unter Verwendung der Ziel-MAC-Adresse (DA) als ein Schlüssel und erhält die VCI (Ziel-VCI), die die Eingangstabelle 1114 anpaßt.

Basierend auf dem Ergebnis der obigen Verarbeitung wird über ein Vermitteln oder Entfernen wie folgt entschieden:

1. Wenn die Ziel-VCI der eigenen VCI gleich ist, ist die DA unter der Kontrolle der eigenen Brückeneinheit. Daher wird der Rahmen nicht zu dem LAN hoher Geschwindigkeit übertragen, sondern er wird entfernt.
2. Wenn die Ziel-VCI der eigenen VCI nicht gleich ist, ist die DA unter der Kontrolle der anderen Brückeneinheit. Daher wird der Rahmen zu der Brücke an das LAN hoher Geschwindigkeit vermittelt.
3. Wenn die VCI nicht gefunden wird, ist der Rahmen weitverbreitet zu all den Brückeneinheiten an das LAN hoher Geschwindigkeit vermittelt, so daß der vermittelte Rahmen zu all den FDDIs geführt wird. Demgemäß wird dieser Rahmen durch all die anderen Brückeneinheiten zu den FDDIs vermittelt, mit dem diese Brückeneinheiten verbunden sind. Als ein Ergebnis kann der Rahmen den erzielten Bestimmungsknoten erreichen.

Die überbrückende Einheit, die sich auf das vorliegende Ausführungsbeispiel bezieht, führt kein Filtern in der Richtung nach unten aus. Die Brückeneinheit, die Zellen empfangen hat, die durch die übertragende Brückeneinheit weitverbreitet vermittelt waren oder die durch ein Bestimmen der Ziel-VCI übertragen wurden, setzt all die Zellen wieder zusammen, die empfangen worden sind, und vermittelt das Ergebnis zu der mit der Brückeneinheit verbundenen FDDI.

keneinheit verbundenen FDDI.

Da die Brückeneinheit, die die Zellen überträgt, die Position des Bestimmungsknotens beurteilt und die Zellen zu der Brückeneinheit überträgt, die bestimmt ist, die Zellen in jener Richtung zu empfangen, ist es offensichtlich, daß ein Bestimmungsknoten unter der Kontrolle der empfangenden Brückeneinheit existiert. Da nur eine FDDI mit der Brückeneinheit verbunden ist, wird es darüber hinaus auch offensichtlich, daß der Bestimmungsknoten in dieser FDDI existiert.

Die Brückeneinheit des Ausführungsbeispiels lernt von all den Zellen einschließlich jenen, die für eine unterschiedliche Brückeneinheit bestimmt sind. Dies bedeutet, daß irgendeine Brückeneinheit, die mit dem Vermittlungsleitungs-LAN verbunden ist, die gleiche Eingangstabelle aufweisen sollte.

Der Grund, warum keine nach unten gerichtete Filterung erforderlich ist, wurde schon oben für den Fall eines Empfangens von Zellen erklärt, deren Bestimmungen bekannt sind. Nun wird hier, basierend auf der obigen Voraussetzung, daß irgendeine Brückeneinheit die gleiche Eingangstabelle aufweist, der Fall an Verbreitungszellen betrachtet, deren Bestimmungen nicht bekannt sind. Die Quellen-Brückeneinheit kennt die Bestimmung nicht. In dem Fall, wo eine weitverbreitete Vermittlung für all die Brückeneinheiten bewirkt wird, kann es daher ohne ein Abrufen oder Prüfen der Eingangstabellen bekannt sein, daß keine Brückeneinheit die Bestimmung kennt. Somit ist keine Filterung nach unten erforderlich.

Als nächstes wird das Lernen beschrieben, das das Verarbeiten zum Speichern einer Information der Anschlußposition ist. Die Brückeneinheit, die sich auf das vorliegende Ausführungsbeispiel bezieht, führt ein Lernen von zwei Richtungen aus, d. h., von dem Rahmen, der durch die FDDI empfangen wird, und von den Zellen, die von dem Verbindungsleitungs-LAN hoher Geschwindigkeit 4 empfangen werden.

Das Lernen von der Aufwärtsrichtung wird durch den Segmentierungssteuerungsabschnitt durch die Registrierung des Satzes der Quellen-MAC-Adresse (SA) ausgeführt, die in dem vorderen Abschnitt des Rahmens und der eigenen VCI in die Eingangstabelle 1114 unter der Kontrolle des Leitsteuerungsabschnitts 1113 positioniert ist, wenn der Segmentierungssteuerungsabschnitt das Segmentieren ausführt. Durch diese Anordnung lernt die Brückeneinheit die Position des Anschlusses unter ihrer Kontrolle. Die Route dieses Lernens wird durch den Pfad a in der Fig. 3 gezeigt.

Das Lernen von der Abwärtsrichtung wird von den Zellen ausgeführt, die zu der eigenen Brückeneinheit übertragen werden, und von all den Zellen, die zu der anderen Brückeneinheit übertragen werden. Diese Route wird durch den empfangenden Pfad (Fig. 3b) und den gemeinsamen Lernpfad (Fig. 3c) gezeigt.

Unter eine Serie von Zellen, die von dem Rahmen durch die übertragende Brückeneinheit segmentiert werden, enthält nur die erste Zelle die SA. Daher lernt die Brückeneinheit von dieser ersten Zelle das Lernen von den Zellen, die durch diese Brückeneinheit empfangen werden. Dieses Lernen wird durch den Wiederzusammensetzungssteuerungsabschnitt 1112 durch die Registrierung des Satzes der SA innerhalb des Informationsabschnitts der ersten Zelle und der Quellen-VCI des Zellenkopfabschnitts in die Eingangstabelle 1114 unter der Kontrolle des Leitsteuerungsabschnitts 1113 ausgeführt.

Zu dem Zweck, eine Lerneffizienz zu verbessern, be-

fähigt das Lernen von dem gemeinsamen Lernpfad (der Pfad in Fig. 3c) das Lernen von den Zellen, die zu der anderen Brückeneinheit übertragen werden, und auch den Zellen, die zu der eigenen Brückeneinheit übertragen werden.

Der Übertragungspfad des Verbindungsleitungs-LAN hoher Geschwindigkeit 4 weist N ( $N=4$  bis 16) logische Multiplexleitungen von 150 Mbps auf, und der Schleifenzugriffsabschnitt 10 sammelt alle diese Multiplexleitungen und überträgt die Zelle (die erste Zelle) einschließlich einer Lerninformation zu all den Brückeneinheiten, die zu dem eigenen Knoten geladen werden (ein Maximum von 4 Toren kann geladen werden). Jede der Brückeneinheiten 11 bis 14 empfängt die Zelle und registriert die Zelle in der Eingangstabelle auf die gleiche Art wie das Lernen von den Zellen, die durch die eigene Brückeneinheit empfangen werden, um dadurch ein Lernen auszuführen.

Einzelheiten der Eingangstabelle 1114 werden als nächstes erklärt.

Fig. 6 zeigt die Struktur der Eingangstabelle 1114.

Wie in Fig. 6 gezeigt, wird der Eingang durch ein Schreiben von 48 Bits der MAC-Adresse und von 12 Bits der VCI und durch ein Anzeigen des "Anwenden" in der "Anwenden"/"Nichtanwenden"-Anzeige registriert.

Die Position des Schreibens des Eingangs wird durch Verwenden der Kontrollfunktion mit einem starken Zufallsabbilden und durch Verwenden der MAC-Adresse als ein Schlüssel erzeugt.

Der Eingang wird durch eine Zeitsperre des Zeitgebers mit altem Wert gelöscht. Das Löschen wird durch Erneuern der Anzeige "Anwenden" zu der Anzeige "Nichtanwenden" ausgeführt.

Es ist auch ein statischer Eingang vorgesehen, der durch den Brückeneinheitsprozessor 1115 registriert oder gelöscht wird, und der durch den Zeitgeber mit altem Wert gelöscht wird.

Der Brückeneinheitsprozessor 1115 registriert z. B. die eigene Stations-FDDI-MAC-Adresse als einen statischen Eingang im voraus in der Eingangstabelle 1114. In anderen Worten wird der statische Eingang benutzt, wenn es nicht gewöhnlich möglich ist, von der Quelladresse des Rahmens zu lernen, der von der eigenen Station zu dem FDDI-Ring übertragen wird, obwohl die eigene Brückeneinheit, auch die FDDI-MAC-Adresse aufweist.

Die Eingangsposition wird durch die Kontrollfunktion aus dem folgenden Grund bestimmt:

Es erfordert eine Kapazität von  $2^{48}$  in der Eingangstabelle, um einen Eingang von 48 Bits der MAC-Adresse fest anzuordnen, und es ist praktisch schwierig, diese große Kapazität zu realisieren.

Demgemäß wird es notwendig, die Eingangsposition zusammenzudrücken, die durch die 48 Bits der MAC-Adresse zu bestimmen ist, z. B. auf etwa 16 Bits (64 Kilo Eingang). Um die Wahrscheinlichkeit zu reduzieren, daß unterschiedliche MAC-Adressen mit dem gleichen Eingang kollidieren, ist eine Funktion wirksam, die in dem Bereich von 16 Bits bei einer Zufallsgleichverteilung stark ist.

Wenn die Kontrollfunktion benutzt wird, wenn ein neuer Eingang unter Annahmen einer Eingangsbenutzungsrate  $p$  zu registrieren ist, ist die Wahrscheinlichkeit, daß die MAC-Adressen mit dem registrierten Eingang kollidieren  $p$ . Die Wahrscheinlichkeit, daß ein Registrieren zu dem  $n$ -ten Zeitpunkt durchgeführt werden kann, nachdem eine Kollision ( $n-1$ )mal gemacht ist, ist  $p^{n-1} \times (1-p)$ . Wenn z. B.  $p=50\%$ , ist die Wahrscheinlichkeit,

daß eine Registrierung zum 10. Mal gemacht werden kann, 99,9%.

Um eine Wiedergewinnung/Registrierung hoher Geschwindigkeit zu ermöglichen, wird eine Kontrollfunktion hardwaremäßig realisiert.

Fig. 7 zeigt den Aufbau der Hardware.

Wie in Fig. 7 gezeigt, wird angenommen, daß die Kontrollfunktion die ist, die leicht durch einfache Schaltungen von FX-OR, eine Addition und eine Rotation gemacht werden kann.

Kandidatenpositionen einer Eingangsregistrierung durch die Controllerzeugung werden durch das folgende Unterscheidungsverfahren durch Ausführen eines  $n$ -maligen Kontrollierens (z. B. 10mal) mit der entsprechenden MAC-Adresse als ein Schlüsselwort bestimmt:

1. Wenn ein nichtbenutzter Eingang gefunden wird, ist eine Registrierung bei diesem Eingang möglich.
2. Wenn ein registrierter Eingang durch die entsprechende MAC-Adresse gefunden wird, wird eine Registrierung bei diesem Eingang möglich, und
3. Wenn ein Kandidat von 1. oder 2. nicht gefunden wird, nachdem ein  $n$ -maliges Kontrollieren ausgeführt worden ist, wird ein Eingang mit einer Priorität registriert. Demgemäß werden Daten in den Eingang des ältesten Zeitgeberwerts geschrieben.

Andererseits wird die MAC-Adresse durch Verwenden der gleichen Kontrollfunktion mit der entsprechenden MAC-Adresse als ein Schlüssel wiedergewonnen.

Als nächstes wird der Leitsteuerungsabschnitt zum Realisieren einer Registrierungsverarbeitung des Eingangs in der Eingangstabelle 1114 und einer Wiedergewinnungsverarbeitung des Eingangs von der Eingangstabelle 1114 beschrieben.

Fig. 8 zeigt den Aufbau des Leitsteuerungsabschnitts 1113, der in Fig. 3 gezeigt ist.

Fig. 8 zeigt: Schnittstellenschaltungen 11131 bis 11134 zum Ausführen einer Schnittstelle mit dem Segmentierungssteuerungsabschnitt 1111, dem Brückeneinheitsprozessor 1115, dem Wiederezusammensetzungssteuerungsabschnitt 1112 bzw. dem gemeinsamen Lernpfad c. Weiterhin wird gezeigt: eine alternierende Zeitgeberschaltung bzw. Zeitgeberschaltung mit altem Wert 11135, eine Zustandsverwaltungsschaltung 11136 zum Ausführen einer Zustandsverwaltung und einer Zugriffssteuerung der Eingangstabelle in Übereinstimmung mit dem Zustand, eine Kontroll-Nebenschaltung 11137 zum Erzeugen einer Kontrollkette von der MAC-Adresse von 48 Bits und zum Erhalten der Eingangsposition in der Eingangstabelle 1114, eine Wiedergewinnungsschaltung 11138 zum Realisieren der filternden Funktion, und eine Registriererschaltung 11139 zum Realisieren der Lernfunktion.

In dem Leitsteuerungsabschnitt 1113 sind filternde Verarbeitungen einschließlich einer erneuernden Verarbeitung des alternierenden Zeitgeberwerts, einer segmentierenden Wiedergewinnungsverarbeitung, einer segmentierenden Registrierungsverarbeitung, einer Empfangspfad-Registrierverarbeitung und einer gemeinsamen Lernpfad-Registrierverarbeitung und eine Lernverarbeitung integriert.

Demgemäß werden die obigen Verarbeitungen in Übereinstimmung mit der folgenden Prioritätsordnung ausgeführt.

1. Um die Leistungsfähigkeit der Vermittlungsver-

arbeitung zu verbessern, wird dem Filtern der Aufwärtsrichtung eine höchste Priorität zugeordnet.

2. Unter der Verbreitung aufgrund unbekannter Bestimmungen ist der nutzloseste Verkehr die Kommunikation unter Anschlüssen unter der Kontrolle der eigenen Brückeneinheit. Um dies zu vermeiden, wird daher dem Lernen von dem empfangenden FDDI-Rahmen unter der Kontrolle der eigenen Brückeneinheit eine höhere Priorität zugeordnet als einem anderen Lernen.

3. Dem Lernen von dem Lernpfad und dem gemeinsamen Lernpfad wird eine geringere Priorität zugeordnet und Registrierdaten werden zeitweise in FIFOs 111331 und 111341 gehalten, bis beim Verarbeiten etwas Zeit übrig bleibt. Ein Filtern und ein Lernen einer Frequenz erfolgt jeweils einmal für jeden Rahmen, oder einmal für 8 Zellen im Durchschnitt in Ausdrücken einer Zahl von Zellen. Daher bleibt sogar Zeit übrig, wenn den Verarbeitungen von 1. und 2. eine Priorität zugeordnet ist. Demgemäß kann die vorliegende Verarbeitung in dieser übrigen Zeit ausgeführt werden. Ein Erneuern des alternden Zeitgeberwerts, der jedem Eingang entsprechend vorgesehen ist, wird intermittierend für jeden Eingang ausgeführt, um die anderen Verarbeitungen nicht für eine lange Zeit zu unterbrechen. Da das Intervall für das Erneuern des alternden Zeitgeberwerts lang wird und die für diese Verarbeitung erforderliche Zeit kurz ist, wird demgemäß dieser Verarbeitung die höchste Priorität zugeordnet.

Fig. 9 zeigt die Zustandsänderung des Leitsteuerungsabschnitts 1113.

Wie in Fig. 9 gezeigt, hat der Leitsteuerungsabschnitt 1113 die folgenden drei Funktionen:

1. eine Erneuerungsverarbeitung des alternden Zeitgeberwerts,
2. eine Wiedergewinnungsverarbeitung,
3. eine Registrierverarbeitung.

Die Zustandsverwaltungsschaltung 11136 entscheidet über eine Prioritätsordnung basierend auf Anfragen von den Schnittstellenschaltungen 11131 bis 11134 mit jedem der anderen Steuerungsabschnitte, die gleichzeitig auftreten können, oder der alternden Zeitgeber-schaltung 11135. Die Zustandsverwaltungsschaltung 11136 verwaltet dann den Zustand des Leitsteuerungsabschnitts, steuert den Zustand und greift auf die Eingangstabelle 1114 zu, um die obige Funktion zu realisieren.

Die Zugriffsadresse zu der Zeit der Wiedergewinnung und der Registrierung in der Eingangstabelle 1114 wird durch die Kontrollschaltung 11137 unter Verwendung der MAC-Adresse als ein Schlüssel erzeugt, und ein Speicherlesen und ein Speicherschreiben werden in einer acht-Byte-Einheit bzw. einer vier-Byte-Einheit ausgeführt. Der Betrieb der Kontroll-Nebenschaltung 11137 wird unten erklärt. Als ein Beispiel wird der Betrieb der Kontrollschaltung 11137 beschrieben, wenn es eine Anfrage einer Wiedergewinnung/Registrierung von dem Segmentierungssteuerungsabschnitt 1111 gegeben hat.

Fig. 10 zeigt die Zeitdiagramme der Wiedergewinnungs-/Registrierverarbeitung.

In Fig. 10 wird der Betrieb (a) der Erzeugung der ersten Kontrollfunktion h1, von (b) der Erzeugung der

nochmaligen Kontrollfunktion h2 bis hn und (c) des Speicherzugriffs durch das fortlaufende Verarbeiten ausgeführt, wie es in der Zeichnung gezeigt ist.

In anderen Worten werden der Speicherzugriff/die Koinzidenzunterscheidung von h1 und die Erzeugung der nächsten Kontrollkette h1+1 parallel ausgeführt. Wenn die Erzeugung von h2 begonnen ist, wird die Erzeugung der nächsten Anfrage h1 begonnen.

Fig. 11 zeigt das Zustandsänderungsdiagramm der Kontrollschaltung.

Eine Beschreibung wird beginnend mit der Erzeugung von h1 erfolgen.

Wenn es eine Anfrage für eine Wiedergewinnung oder Registrierung von irgendeiner der Schnittstellenschaltungen 11131 bis 11134 in dem Anfragewartezustand gibt, wird die MAC-Adresse von der entsprechenden Schnittstellenschaltung basierend auf dem Ergebnis der Prioritätsordnungsunterscheidung durch die Zustandsverwaltungsschaltung 11136 gelesen und h1 wird unter Verwendung dieser MAC-Adresse als ein Schlüssel erzeugt.

Eine Erzeugung der nächsten Anfrage h1, die von der Zustandsverwaltungsschaltung 11136 angezeigt wird, wird erwartet, bis die Erzeugung von h2 bei der laufenden Verarbeitung begonnen wird.

Eine Erzeugung von h2 bis hn wird als nächstes erklärt.

Wenn die Erzeugung von h1 beendet worden ist, wird h2 basierend auf h1 erzeugt, und h3 und darüber werden aufeinanderfolgend erzeugt. In der Zwischenzeit wird während der Erzeugung von h1 auf den Eingang von h1-1 parallel zugegriffen.

Die hi-Erzeugungsverarbeitung wird bei der folgenden Bedingung abgeschlossen.

In dem Fall einer Wiedergewinnung wird die hi-Erzeugungsverarbeitung abgeschlossen, wenn die wiedergewonnene Schaltung 11138 eine erwünschte MAC-Adresse gefunden hat oder wenn die maximale Kontrolle hn (10mal) erreicht ist.

In dem Fall einer Registrierung wird die hi-Erzeugungsverarbeitung abgeschlossen, wenn Kandidaten eines Registrierungseingangs durch die Registrierungsschaltung 11139 in Übereinstimmung mit dem Algorithmus zum Bestimmen eines Kandidaten bestimmt worden sind. Eine maximale Kontrolle hn wird gesucht, um Kandidaten zu bestimmen.

Bei einer Beendigung eines Wiedergewinns durch die Wiedergewinnungsschaltung 11138 oder einer Registrierung durch die Registrierungsschaltung 11139 beginnt die Kontroll-Nebenschaltung 11137 eine Erzeugung des nächsten h2, wenn eine Erzeugung des nächsten h1 beendet worden ist.

Die Wiedergewinnungsverarbeitung und die Registrierverarbeitung, die die Zugriffsadresse benutzen, die durch die obige Kontroll-Nebenschaltung 11137 erzeugt ist, werden als nächstes beschrieben.

Die Wiedergewinnungsverarbeitung wird zuerst erklärt.

Die Wiedergewinnungsverarbeitung wird durch die Wiedergewinnungsschaltung 11138 ausgeführt. Für die Wiedergewinnungsverarbeitung gibt es eine Anfrage von dem Segmentierungssteuerungsabschnitt 1111 für die Segmentierungsverarbeitung und eine Anfrage von dem Brückenprozessor 1115.

Fig. 12 zeigt das Zustandsänderungsdiagramm für die Wiedergewinnungsverarbeitung in der Wiedergewinnungsschaltung 11138.

Wenn es eine Anfrage für eine Wiedergewinnung von



der Zustandsverwaltungsschaltung 11136 in dem untätigen Zustand gibt, wird die Qualitäts-MAC-Adresse (SA) von der entsprechenden Schnittstellenschaltung 11131, 11132 gelesen und die Erzeugung von h1 durch die Kontrollschaltung 11137 wird erwartet. Wenn h1 erzeugt worden ist, wird der Eingang von h2 und darüber (acht Bytes höherer Ordnung) aufeinanderfolgend gelesen, beginnend mit h1 aus der Eingangstabelle 1114. Da die acht Bytes höherer Ordnung des Eingangs eine MAC-Adresse enthalten, wird darüber entschieden, ob diese MAC-Adresse mit der MAC-Adresse übereinstimmt, die ein Schlüssel wird. Wenn diese MAC-Adressen übereinstimmen, werden die Kontrollerzeugung und das Speicherlesen gestoppt, und die übrigen acht Bytes niedriger Ordnung des Eingangs werden gelesen. Der Eingang wird der entsprechenden Einheit bekanntgemacht und darüber hinaus wird der alternde Zeitgeberwert innerhalb der vier Bytes höherer Ordnung zurückgestellt.

Wenn nach einem Ausführen einer Kontrollsummierungen von maximal n-mal kein Eingang gefunden worden ist, wird ein Nicht-Eingang angeraten. In diesem Fall wird die Segmentierungsverarbeitung aufgrund einer unbekannten Bestimmung weiterverbreitet.

Jetzt wird die Registrierungsschaltung beschrieben.

Die Registrierungsverarbeitung wird durch die Registrierungsschaltung 11139 ausgeführt. Wie zuvor beschrieben ist, gibt es Anfragen aus den folgenden Richtungen bei der Registrierungsverarbeitung:

1. Eine Registrierung aus dem Segmentierungssteuerungsabschnitt (Lernen der Aufwärtsrichtung);
2. Eine Registrierung aus dem empfangenden Pfad (Lernen aus den Zellen, die durch das negative Tor der Abwärtsrichtung empfangen werden);
3. Eine Registrierung aus dem gemeinsamen Lernpfad (Lernen aus all den Multiplexleitungen der Abwärtsrichtung).

Fig. 13 zeigt das Zustandsänderungsdiagramm der Registrierungsverarbeitung in der Registrierungsschaltung 11139.

Wenn es eine Anfrage für eine Registrierung aus der Zustandsverwaltungsschaltung 11136 in dem untätigen Zustand gibt, wird die Bestimmungs-MAC-Adresse (DA) aus der entsprechenden Schnittstellenschaltung gelesen, und eine Erzeugung von h1 durch die Kontrollschaltung 11137 wird erwartet. Wenn h1 erzeugt worden ist, wird der Eingang von h2 und darüber (acht Bytes höherer Ordnung) aufeinanderfolgend von h1 gelesen. Die acht Bytes höherer Ordnung enthalten eine Information, die zum Bestimmen von Kandidaten zu benutzen ist, d. h., die "Anwenden"/"Nichtanwenden"-Anzeige, eine dynamische/statische Anzeige und ein alternder Zeitgeberwert. Kandidaten werden in Übereinstimmung mit dem oben beschriebenen Algorithmus zum Bestimmen von Kandidaten bestimmt. Wenn ein Kontrollsummierungen maximal n-mal ausgeführt worden ist, wird das Speicherlesen gestoppt und Registrierdaten von 16 Bytes werden in die Kandidateneingangsposition geschrieben, und zwar viermal durch Aufteilen der Daten in vier, wobei jeder Teil vier Bytes enthält. Dann ist die Verarbeitung beendet.

Das Zeitgeberwert-Erneuerungsverarbeiten für den alternden Zeitgeber, der für das Löschen des Registrierungseingangs benutzt wird, wird als nächstes erklärt.

Bei dem vorliegenden Ausführungsbeispiel wird es

ermöglicht, dem Brückenprozessor 1115 zu erlauben, den Zeitgeber zu betreiben und eine Zeit  $\Delta T$  der Zeitgeberwerteneinheit einzustellen (Auflösung), um Flexibilität bei der Auflösung des alternden Zeitgeberwerts zu schaffen. Die Erneuerungsverarbeitung des alternden Zeitgeberwerts über den gesamten Eingang wird intermittierend ausgeführt, um die anderen Verarbeitungen nicht zu unterbrechen.

Fig. 14 zeigt das Zeitdiagramm zum Erneuern des alternden Zeitgeberwerts.

Die Zeitgeberschaltung erneuert die Zeitgeberwerte all der M-Eingänge (z. B. 128 K Eingänge) in der  $\Delta T$ - (Auflösungs)-Zeit. Wenn z. B. die Auflösung des Zeitgeberwerts ein Minimum von einer Sekunde ist, ist, um all die Eingänge zu erneuern, das Intervall  $\Delta t$  zum Erneuern zwischen den Eingängen wie folgt:

$$\Delta t = \text{eine Sekunde} \div 128 K = 7,8 \mu s$$

In anderen Worten, wenn die Eingänge aufeinanderfolgend in jedem Zeitintervall von  $7,6 \mu s$  oder darunter erneuert werden, ist es möglich, all die Eingänge in der Auflösungszeit des Zeitgeberwerts zu erneuern. Wenn ein Erneuern all der Eingänge innerhalb der Zeit beendet worden ist, wird ein Erneuern erwartet, bis zu der nächsten  $\Delta T$ -Zeitsperre.

Fig. 15 zeigt das Zustandsänderungsdiagramm für das Erneuern des alternden Zeitgeberwerts.

Wie in Fig. 15 gezeigt, wird eine Beendigung der anderen Verarbeitung, die laufend ausgeführt wird, sequentiell alle  $\Delta T$  erwartet, und ein Erneuern wird ausgeführt wie folgt.

Die acht Bytes höherer Ordnung des Eingangs werden gelesen. In dem Fall des "Anwenden" und "Dynamischen" Zustands wird der Zeitgeberwert in dem entsprechenden Eingang in der "Anwenden"/"Nichtanwenden"-Anzeige und der dynamischen/statischen Anzeige inkrementiert und erneuert (Schreiben von vier Bytes höherer Ordnung).

Wenn der Zeitgeberwert zeitgesperrt wird, wird die "Anwenden"/"Nichtanwenden"-Anzeige in dem entsprechenden Eingang nochmals zu dem Nichtanwenden (Schreiben von vier Bytes höherer Ordnung) geschrieben, und der Eingang wird gelöscht.

Bei dem vorliegenden Ausführungsbeispiel kann der Brückenprozessor 1115 direkt auf die Eingangstabelle zugreifen, um die folgenden Verarbeitungen auszuführen.

#### 1. Speicher-Schreib-/Lese-Test

Der Brückenprozessor 1115 gibt eine reale Adresse aus und schreibt direkt in und liest direkt aus der Eingangstabelle, um ein Speicherprüfen der Eingangstabelle auszuführen.

#### 2. Gültige Eingangsprüfung

Der Brückenprozessor 1115 gibt eine reale Adresse aus und liest direkt aus dem Eingang der Eingangstabelle, um eine Gültigkeit oder Nichtgültigkeit zu beurteilen. In anderen Worten beurteilt der Brückenprozessor 1115, ob der Eingang benutzt wird oder nicht. Der Brückenprozessor 1115 wiederholt dies durch aufeinanderfolgendes Weiterentwickeln der Speicheradresse und sucht nach einem gültigen Eingang. Dann, wenn es erwünscht ist, die Information der gelernten Anschlußposition an dem externen Speicher zu kopieren oder die



Information an der anderen Brückeneinheit zu kopieren, liest der Brückenprozessor einen gefundenen gültigen Eingang und kopiert ihn.

### 3. Eingangserneuerung

Der Brückenprozessor registriert den Eingang durch Verwenden der MAC-Adresse als einen Schlüssel. Dies ist das gleiche wie die oben beschriebene Registrierverarbeitung.

Gemäß dem ersten Ausführungsbeispiel gibt es folgende Wirkungen.

1. Es ist möglich, ein Filtern des Rahmens auszuführen und eine Leitinformation in der Brückeneinheit zu lernen, die die FDDI zum Übertragen in einer Rahmeneinheit und das Verbindungsleitungs-LAN hoher Geschwindigkeit zum Übertragen in die Zelleneinheit fester Längen verbindet.
2. Es ist möglich, ein Filtern und Lernen mit hoher Geschwindigkeit durch Verwenden des Kontrollalgorithmus in der Hardware für die Wiedergewinnung und Registrierung in der Eingangstabelle auszuführen.
3. Da ein Löschen des Eingangs in der Eingangstabelle intermittierend und aufeinanderfolgend durch den alternierenden Zeitgeber ausgeführt wird, der entsprechend zu jedem Eingang ausgestattet ist, wird es möglich, die Tabelle davon abzuhalten, durch das Lernen gefüllt zu werden, ohne die Trefferrate zu erniedrigen.

Da der alternde Zeitgeberwert intermittierend durch Fortschreiten der Eingangsposition erneuert wird, wirkt die Verarbeitung des alternierenden Zeitgebers nicht auf die Leistungsfähigkeit der Verarbeitung der Wiedergewinnung/Registrierung.

Die Brückeneinheit, die sich auf das zweite Ausführungsbeispiel der vorliegenden Erfindung bezieht, wird beschrieben.

Fig. 16 zeigt den Aufbau des Netzwerksystems, das eine Brückeneinheit verwendet, die sich auf das vorliegende Ausführungsbeispiel bezieht.

Wie in Fig. 16 gezeigt, verbindet eine Brückeneinheit 91, die sich auf das vorliegende Ausführungsbeispiel bezieht, eine Vielzahl von FDDIs. Um die Erklärung zu vereinfachen, sind in Fig. 16 zwei FDDIs verbunden.

Für die Leitung in der Brückeneinheit 91, die sich auf das vorliegende zweite Ausführungsbeispiel bezieht, wird die Position, wo die MAC-Adresse angeordnet ist, als eine Tor-Zahl zum Verbinden von FDDIs gezeigt.

Zum Beispiel werden die MAC-Adresspositionen als ein Tor A und ein Tor B gezeigt. Da zwei FDDIs bei dem vorliegenden Ausführungsbeispiel verbunden sind, gibt es zwei Tore.

Es ist möglich, ein Adreßfilter durch Wiedergewinnen einer Tor-Zahl aus der Eingangstabelle 9114 unter Verwendung der Bestimmungsadresse als ein Schlüssel und Entscheiden, ob über die übertragende Tor-Zahl zu entscheiden oder ob sie zu entfernen ist, auszuführen. Das Lernen wird durch Registrieren des Satzes der Quelladresse und der ankommenden Tor-Zahl zu der Eingangstabelle 9114 ausgeführt.

Fig. 17 zeigt den Aufbau der Eingangstabelle 9114.

Die Richtung der Quell-MAC-Adresse wird als eine FDDI-Tor-Zahl gezeigt, und die anderen sind die gleichen, wie jene bei dem oben beschriebenen ersten Ausführungsbeispiel.

Fig. 18 zeigt den Aufbau der Brückeneinheit 91.

In Fig. 18 wird gezeigt: eine Brückeneinheit 91 zum Verbinden der FDDIs und eines Vermittlungssteuerungsabschnitts 911. FDDI-Steuerungsabschnitte (Tore A bis D) 912A bis 912D entsprechen jeweils den FDDIs A bis D. Ein Leitsteuerungsabschnitt 9113 führt ein Lernen einer Stationsposition und ein Filtern eines vermittelten Rahmens aus, und eine Eingangstabelle ist mit 9114 bezeichnet.

Die Filter- und Lernverarbeitung wird wie folgt ausgeführt.

Wenn z. B. ein Rahmen von der FDDI A empfangen worden ist, gewinnt der Brückenprozessor 9115 DA und SA von dem empfangenen Rahmen wieder, der in dem Übertragungs-/Empfangspuffer 912A5 gespeichert ist, und überträgt diese zu dem Leitsteuerungsabschnitt 9113.

Für das Filtern gewinnt der Leitsteuerungsabschnitt 9113 die Eingangstabelle 9114 von der DA unter der Steuerung des Leitsteuerungsabschnitts 113 wieder, um eine Tor-Zahl des Tors zu erhalten, wo der Bestimmungsanschluß existiert.

Dann wird eine Entscheidung über ein Vermitteln oder Entfernen wie folgt durchgeführt, basierend auf dem Ergebnis des obigen Betriebs.

1. Der Rahmen wird entfernt, wenn die Bestimmungstorzahl gleich der ankommenden Torzahl ist.
  2. Der Rahmen wird zu dem entsprechenden Tor vermittelt, wenn die Bestimmungstorzahl nicht gleich der ankommenden Torzahl ist. In anderen Worten wird der empfangende Rahmen in dem Sende- und Empfangspuffer des entsprechenden Tors kopiert und wird dann übertragen.
  3. Der Rahmen wird zu all den Toren vermittelt, wenn keine Bestimmungstorzahl gefunden wird. Das Lernen wird durch Registrieren des Satzes der SA und der ankommenden Torzahl in der Eingangstabelle 1114 unter der Steuerung des Leitsteuerungsabschnitts 9113 ausgeführt.
- Der Betrieb des Leitsteuerungsabschnitts 9113 ist der gleiche wie jener des oben beschriebenen ersten Ausführungsbeispiels, und daher wird eine Beschreibung dieses Betriebs hier weggelassen.

Gemäß dem obigen zweiten Ausführungsbeispiel gibt es folgende Vorteile:

1. Es ist möglich, ein Filtern und ein Lernen mit hoher Geschwindigkeit auszuführen, unter Anwendung des Kontrollalgorithmus in der Hardware für die Wiedergewinnung und Registrierung in der Eingangstabelle.
2. Da ein Löschen des Eingangs in der Eingangstabelle intermittierend und aufeinanderfolgend ausgeführt wird durch den alternierenden Zeitgeber, der entsprechend jedes Eingangs ausgestattet ist, ist es möglich, die Tabelle davon abzuhalten, durch das Lernen gefüllt zu werden, ohne die Trefferrate zu erniedrigen.

Da der alternde Zeitgeberwert intermittierend durch Fortschreiten der Eingangsposition erneuert wird, wirkt das alternde Zeitgeberverhalten darüber hinaus nicht auf die Leistungsfähigkeit der Wiedergewinnungs-/Registrierverarbeitung.

Wie oben beschrieben ist, ist es gemäß der vorliegenden Erfindung möglich, eine Brückeneinheit zu schaffen,

die die Tabelle davon abhalten, durch ein Lernen gefüllt zu werden, ohne die Trefferrate zu erniedrigen, und die flexibel der Bewegung der Anschlußposition entsprechen kann. Es ist auch möglich, eine Adreßfiltereinheit zu schaffen, die die Verarbeitungseffizienz der Adreßfilterungsverarbeitung verbessern kann.

Wie oben beschrieben ist, wird gemäß der Adreßfiltereinheit, die sich auf die vorliegende Erfindung bezieht, entsprechend jeder Adreßinformationsregistrierung ein Zeitgeber geschaffen, und eine Zeitgebererneuerungseinheit schaltet sequentiell und intermittierend jeden Zeitgeberwert weiter. Wenn der Zeitgeberwert gleich oder größer als ein vorbestimmter Wert wird, wird eine Registrierung der Adreßinformation, die dem Zeitgeber entspricht, aus der Eingangstabelle gelöscht, so daß es möglich ist, die Tabelle davon abzuhalten, durch das Lernen gefüllt zu werden, ohne die Trefferrate zu erniedrigen.

Weiterhin wird gemäß der Adreßfiltereinheit, die sich auf die vorliegende Erfindung bezieht, entsprechend jeder Adreßinformationsregistrierung ein Zeitgeber geschaffen, und wenn eine Zeitgebererneuerungseinheit durch eine Startereinheit bei jeder konstanten Periode  $\Delta T$  gestartet wird, schaltet die Zeitgebererneuerungseinheit den Wert jedes Zeitgebers entsprechend der registrierten Adreßinformation bis zum Ende sequentiell und intermittierend fort. Wenn der Zeitgeberwert einen vorbestimmten Wert oder darüber erreicht, wird die Registrierung der Adreßinformation entsprechend dieses Zeitgebers der Eingangstabelle gelöscht, so daß es möglich ist, die Tabelle davon abzuhalten, durch das Lernen gefüllt zu werden, ohne die Trefferrate zu erniedrigen.

Weiterhin wird gemäß der Adreßfiltereinheit, die sich auf die vorliegende Erfindung bezieht, bei dem ersten Schritt eine Funktion  $f_i(a)$ ,  $i = 1$  bis  $n$  der Quelladresse, die aus dem ankommenden Informationsrahmen zu der Zeit einer Registrierung in der Eingangstabelle extrahiert wird, oder der Bestimmungsadresse, die aus dem ankommenden Informationsrahmen zu der Zeit eines Wiedergewinnens aus der Eingangstabelle extrahiert wird, aufeinanderfolgend als eine Adresse der Eingangstabelle erzeugt. Bei dem zweiten Schritt wird zu der Zeit der Registrierung entschieden, ob die Adreßinformation in der Adresse zu registrieren ist oder nicht, die bei dem ersten Schritt der Eingangstabelle erzeugt ist. Bei dem dritten Schritt wird zu der Zeit der Wiedergewinnung entschieden, ob die Adreßinformation, die in der Adresse registriert ist, die bei dem ersten Schritt der Eingangstabelle erzeugt ist, die erwünschte Information ist oder nicht. Durch die obigen Verarbeitungen ist es möglich, die Effizienz der Verwendung der Eingangstabelle zu verbessern. Weiterhin kann die Effizienz des Adreßfilterverarbeitens durch ein aufeinanderfolgendes Betreiben des ersten Schritts mit dem zweiten Schritt oder dem dritten Schritt verbessert werden.

Weiterhin entscheidet gemäß der Adreßfiltereinheit, die sich auf die vorliegende Erfindung bezieht, die Prioritätsordnungsentscheidungseinheit über die Prioritätsordnung, wenn mindestens zwei Verarbeitungen sich gegenseitig Konkurrenz machen unter der Registrierung der ankommenden Adreßinformation aus dem Verzweigungs-LAN in der Eingangstabelle, der Registrierung der ankommenden Adreßinformation aus N Übertragungspfaden des Vermittlungsnetzwerkes in der Eingangstabelle und der Wiedergewinnung der Adreßinformation aus der Eingangstabelle. In der Zwischenzeit führt die Ausführungseinheit die Verarbeitung aus,

basierend auf dem Ergebnis der obigen Verarbeitung. Durch diese Anordnung kann die Adreßfilterverarbeitung ruhig ausgeführt werden, resultierend in der verbesserten Verarbeitung. Wenn eine Speichereinheit vorgesehen ist zum zeitweisen Speichern der ankommenden Adreßinformation aus dem Vermittlungsnetzwerk, registriert die Ausführungseinheit in der Eingangstabelle die Adreßinformation, die in der Speichereinheit gespeichert ist, während der Periode, während die anderen Verarbeitungen nicht ausgeführt werden. Durch diese Verarbeitung ist möglich, die Durchsatzleistungsfähigkeit der aktuellen Adreßfilterverarbeitungen sicherzustellen.

Gemäß der Adreßfiltereinheit, die sich auf die vorliegende Erfindung bezieht, entscheidet die Prioritätsordnungsentscheidungseinheit weiterhin über die Prioritätsordnung des Ausführens der Registrierung der ankommenden Adreßinformation aus dem Verzweigungs-LAN in der Eingangstabelle, der Registrierung der ankommenden Adreßinformation aus N Übertragungspfaden des Vermittlungsnetzwerkes der Eingangstabelle und der Wiedergewinnung der Adreßinformation aus der Eingangstabelle, so daß die Verarbeitung ruhig mit einer verbesserten Effizienz ausgeführt wird. Die Adreßerzeugungseinheit erzeugt sequentiell als eine Adresse der Eingangstabelle eine Funktion  $f_i(a)$ ;  $i = 1$  bis  $n$  der Quelladresse, die aus dem ankommenden Informationsrahmen zu der Zeit eines Registrierens in der Eingangstabelle extrahiert wird, oder der Bestimmungsadresse, die aus dem ankommenden Informationsrahmen zu der Zeit eines Wiedergewinnens aus der Eingangstabelle extrahiert wird. Die Registrierungsadreßkandidatenentscheidungseinheit entscheidet zu der Zeit der Registrierung über eine Registrierungsadresse aus den Adressen, die sequentiell durch die Adreßerzeugungseinheit von der Eingangstabelle erzeugt werden, und die Wiedergewinnungseinheit gewinnt zu der Zeit der Wiedergewinnung die gewünschte Adreßinformation aus der Adresse wieder, die durch die Adreßerzeugungseinheit in der Eingangstabelle erzeugt wird, so daß die Effizienz eines Benutzens der Eingangstabelle verbessert wird. Weiterhin werden die Adreßerzeugungsverarbeitung zum Erzeugen der  $i$ -ten Adresse durch die Adreßerzeugungseinheit, die Wiedergewinnungsverarbeitung zum Wiedergewinnen der  $(i-1)$ -ten Adresse durch die Wiedergewinnungseinheit oder die Entscheidungsverarbeitung zum Untersuchen der  $(i-1)$ -ten Adresse durch die Registrierungsadreßkandidatenentscheidungseinheit parallel ausgeführt, um die Effizienz der Verarbeitungen zu verbessern.

Gemäß der Vermittlungseinheit, die sich auf die vorliegende Erfindung bezieht, führt die Adreßfiltereinheit weiterhin eine Adreßfilterverarbeitung aus, basierend auf dem Ergebnis der Adreßfilterverarbeitung, und eine Datenformatsumwandlungseinheit wandelt den Informationsrahmen um, der zu dem anderen Netzwerk in das Datenformat des Netzwerkes zu vermitteln ist, zu dem der Rahmen vermittelt werden muß.

Gemäß der Brückeneinheit, die sich auf die vorliegende Erfindung bezieht, führt die Adreßfiltereinheit weiterhin eine Adreßfilterverarbeitung aus. Dann wandelt in der Vermittlungseinheit, basierend auf dem Ergebnis der Adreßfilterverarbeitung durch die Adreßfiltereinheit, die Wiedergewinnungseinheit dem Informationsrahmen, der von dem Vermittlungsnetzwerk zu dem Verzweigungs-LAN zu vermitteln ist, in das Datenformat des Verzweigungs-LAN. Basierend auf dem Ergebnis der Adresse der Verarbeitung wandelt die Segmen-

tierungseinheit den Informationsrahmen, der von dem Verzweigungs-LAN zu dem Vermittlungsnetzwerk zu vermitteln ist, in das Datenformat des Vermittlungsnetzwerks. In der Zwischenzeit übernimmt der LAN-Steuerungsabschnitt eine Schnittstelle mit dem Verzweigungs-LAN und ermöglicht es, den Informationsrahmen zu und von dem Verzweigungs-LAN zu übertragen.

Bei der vorliegenden Brückeneinheit ist es, wenn die Adreßfiltereinheit vorgesehen ist, die eine Adreßinformation in der Eingangstabelle durch Extrahieren der Adreßinformation aus dem Informationsrahmen an dem Verzweigungs-LAN registriert, dem Informationsrahmen, der zu der eigenen Brückeneinheit an dem Vermittlungsnetzwerk übertragen ist, und dem Informationsrahmen, der zu der anderen Brückeneinheit gesendet ist, die anders als der Informationsrahmen ist, der durch zumindest die eigene Brückeneinheit an dem Vermittlungsnetzwerk zu dem Vermittlungsnetzwerk vermittelt ist, wünschenswert, daß die von dem Vermittlungsnetzwerk empfangenen Informationsrahmen alle zu dem Verzweigungs-LAN vermittelt werden, ohne die Adreßfilterverarbeitung aufzuweisen.

Nun wird ein Beispiel des Falls beschrieben, wo die Aufbauten des Leitsteuerungsabschnitts 1113, 9113 und der Eingangstabelle 1114, 9114 bei dem ersten und zweiten Ausführungsbeispiel kompakt und von hohem Geschwindigkeitstyp ausgeführt sind.

Ein drittes Ausführungsbeispiel der vorliegenden Erfindung wird unten erklärt.

Zuerst wird ein dynamischer Direktzugriffsspeicher (D-RAM) erklärt, der als ein Speicherelement in der Speicherschaltung benutzt wird (entsprechend dem Leitsteuerungsabschnitt und der Eingangstabelle), die sich auf das vorliegende Ausführungsbeispiel bezieht.

Fig. 19 zeigt einen Seiten-Modus-Lese-Änderungs-Schreib-Zyklus hoher Geschwindigkeit des D-RAMs.

Wie in Fig. 19 gezeigt, ist das Lesen-Ändern-Schreiben ein Modus, bei dem WE negativ ist, CAS bestätigt ist, und Daten werden aus Dout gelesen, und danach wird WE in dem gleichen Zyklus bestätigt, so daß Daten in die gleiche Adresse von Din geschrieben werden. Bei dem vorliegenden Ausführungsbeispiel wird der D-RAM in dem Seiten-Modus-Lese-Änderungs-Schreib-Modus hoher Geschwindigkeit benutzt, der eine Kombination des Lese-Änderungs-Schreib-Modus und eines Seiten-Modus ist, der ein Hochgeschwindigkeitsmodus ist. Natürlich wird in diesem Fall ein Erneuern der Spaltenadresse synchron mit dem Negativen von CAS ausgeführt.

Der Seiten-Modus mit hoher Geschwindigkeit ist der Modus, in dem Daten der gleichen Reihe kontinuierlich durch alleiniges Ändern der Spaltenadresse gelesen werden, und der Seiten-Modus mit hoher Geschwindigkeit wird weitverbreitet zusammen mit dem Lese-Änderungs-Schreib-Modus in dem kommerziell verfügbaren D-RAM IC oder ähnlichem verwendet.

Als nächstes wird die Darstellung des Betriebs der Speicherschaltung, die sich auf das vorliegende Ausführungsbeispiel bezieht, erklärt.

Die Speicherschaltung, die sich auf vorliegendes Ausführungsbeispiel bezieht, benutzt das Kontrollverfahren bei der Wiedergewinnungs-/Registrierverarbeitung.

Das Kontrollverfahren ist das Verfahren zum Berechnen einer Position, wo ein Datenwert durch Ausführen einer vorbestimmten Umwandlung des Datenwertes zu speichern ist.

In anderen Worten wird gemäß dem Kontrollverfah-

ren über Elemente zum Speichern von Daten in Übereinstimmung mit dem Datenwert oder einem Wert  $k$  (der Schlüssel genannt wird) entschieden, der in den Daten enthalten ist. Daher kann eine Wiedergewinnung von Daten durch bloßes Prüfen dieser Elemente beendet werden, und die Verarbeitung ist sehr effizient.

Gemäß dem Kontrollverfahren gibt es einen Fall, daß  $h(k) = h(k')$ , wobei  $k$  unterschiedlich von  $k'$  ist. Jedoch wird in diesem Fall eine nochmalige Kontrolle  $h_i(k)$  ( $i = 2$  bis  $n$ ) erzeugt, um eine Kollision zu vermeiden.

Bei der Wiedergewinnungs-/Registrierverarbeitung wird ein Wert, der aus der Kontrollfunktion, das ist  $h(k)$ , erzeugt ist, als eine Adresse für das Speicherelement benutzt. In anderen Worten wird eine Registrierung in der Speicherposition durchgeführt, angezeigt durch  $h(k)$ , oder Daten mit den Daten verglichen, der in der Speicherposition gespeichert sind, die durch  $h(k)$  angezeigt wird.

Fig. 20 zeigt den Aufbau der Datenbasis, bei der die Speicherschaltung, die sich auf das vorliegende Ausführungsbeispiel bezieht, benutzt wird.

In Fig. 20 wird gezeigt: eine Speicherschaltung 113, die dem Leitsteuerungsabschnitt 1113 usw. entspricht, ein Verarbeitungsabschnitt 1131 und ein Adreßerzeugungsabschnitt 1132. Weiterhin wird gezeigt: ein Speicherelement 114, das der Eingangstabelle 1114 usw. entspricht, und eine Verarbeitungseinheit 115, die dem Brückenprozessor 1115 usw. entspricht. Bei dem vorliegenden Ausführungsbeispiel ist die Speicherschaltung 113 in einer integrierten Schaltung auf einem Chip integriert.

Ein Signal  $f$  bezeichnet eine Funktion zum Bezeichnen einer Verarbeitung der Speicherschaltung 113 durch die Verarbeitungseinheit 115,  $r$  bezeichnet ein Ergebnis der Verarbeitung durch die Speicherschaltung 113,  $d_i$  bezeichnet Eingangsdaten aus der Verarbeitungseinheit 115,  $z$  bezeichnet Daten, die in ein Speicherelement 114 zu schreiben sind,  $do$  bezeichnet Daten, die aus dem Speicherelement 114 zu lesen sind, und  $k$  bezeichnet einen Wert, der ein Schlüssel der Kontrollfunktion  $h(k)$  wird. Einzelheiten der Funktion werden später beschrieben.

Der Betrieb der Speicherschaltung 113 wird basierend auf dem Zeitdiagramm, das in Fig. 21 gezeigt ist, erklärt.

Zuerst wird der Schlüssel  $k$  aus den Eingangsdaten  $d_i$  in dem Datenverarbeitungsabschnitt 1131 extrahiert, und die Zeilenadresse und die Spaltenadresse werden aus der Kontrollfunktion  $h(k)$  in der Adreßerzeugungseinheit 1132 erzeugt, und sie werden in dem Speicherelement 114 behalten.

Basierend auf den Lesedaten  $do$  und den Eingangsdaten  $d_i$ , die aus der Adresse gelesen sind, verarbeitet der Datenverarbeitungsabschnitt 1131 die Daten, um die Schreibdaten  $z$  zu erzeugen, und schreibt diese Daten  $z$  in das Speicherelement 114. Die Datenverarbeitung wird aus der Beziehung zwischen den Eingangsdaten  $d_i$  und den Lesedaten  $do$  entschieden.

Die Spaltenadresse wird inkrementiert, und die obige Operation wird wiederholt, bis die Abschlußbedingung, über die aus der Beziehung zwischen den Eingangsdaten  $d_i$  und den Lesedaten  $do$  zu entscheiden ist, erfüllt ist.

In anderen Worten wird bei dem vorliegenden Ausführungsbeispiel  $h_{i+1}() = h_i() + 1$  so eingestellt, daß es möglich gemacht wird, den Seiten-Modus-Lese-Änderungs-Schreib-Zyklus hoher Geschwindigkeit des D-RAM zu benutzen, und eine Betriebsreihe durch die

oben beschriebene nochmalige Kontrolle wird in einem Zyklus realisiert.

Der obige Betrieb wird unten in Übereinstimmung mit der in Fig. 22 gezeigten Zustandsänderung erklärt.

Der Adreßerzeugungsschnitt 1137 erzeugt die Zeilenadresse und die Spaltenadresse aus der ersten Kontrollfunktion  $h_1(k)$  des Schlüssels  $k$ , und der Verarbeitungsabschnitt 1131 liest Daten aus der entsprechenden Adresse.

Zum Zwecke einer Erklärung wird angenommen, daß der Schlüssel  $k$  ein Wert ist, der in den Eingangsdaten enthalten ist.

Der Datenverarbeitungsabschnitt 1131 erzeugt die Schreibdaten  $z$  aus den Eingangsdaten  $d_i$  und den Lesedaten  $d_o$  in Übereinstimmung mit der Bedingung der Funktion  $f$  und den Lesedaten  $d_o$  und schreibt die Daten  $z$  in die gleiche Adresse. Bis die Abschlußbedingung entsprechend der jeweiligen Funktionen eingehalten wird, wird die Spaltenadresse gehalten, die aus der nochmaligen Kontrollfunktion  $h_i(k)$  ( $i=2$  bis  $n$ ) erzeugt ist, und die obige Verarbeitung wird wiederholt. Wie oben beschrieben ist, wird  $h_{i+1}() = h_i() + 1$  bei dem vorliegenden Ausführungsbeispiel angenommen.

Wenn die Verarbeitung abgeschlossen worden ist, wird das Ergebnis  $r$  der Verarbeitung zu der CPU 115 umgekehrt bzw. zurückgebracht.

Nimmt man an, daß der D-RAM 4M Bits hat und die Datenlänge 64 Bits ist, wird die maximale Anzahl der Zeilenadressen und der Spaltenadressen berechnet, um 4M Bits/64 Bits = 64 K Eingänge zu sein. Wenn daher eine nochmalige Kontrolle acht ( $n$ ) mal ausgeführt wird, kann die Spaltenadresse 0 bis 7 sein, und die Zeilenadresse kann von 0 bis  $8k-1$  sein.

Einzelheiten der oben beschriebenen Funktionen werden unten erklärt.

Die Speicherschaltung, die sich auf das vorliegende Ausführungsbeispiel bezieht, hat die Funktionen von 1. der Wiedergewinnungsverarbeitung, 2. der Registrierungsverarbeitung und 3. der alternierenden Zeitgebererneuerungsverarbeitung.

Das Signal  $f$  (Fig. 20) bezeichnet eine der obigen Funktionen, und die Speicherschaltung 113 führt eine Verarbeitung aus, basierend auf der angezeigten Funktion.

Einzelheiten jeder der Verarbeitungen werden unter Bezugnahme auf Fig. 23, Fig. 24 und 25 und Fig. 26 erklärt:

Fig. 23 zeigt den Aufbau der Felder jedes Eingangs des Speicherelements 114. Wie in Fig. 23 gezeigt ist, weisen die Felder einen Schlüssel  $k$ , einen Eingang  $e$  und einen Zeitgeber  $t$  auf.

Fig. 24 zeigt die Einzelheiten der Speicherschaltung 113.

In Fig. 24 wird gezeigt: ein Verarbeitungsabschnitt 1131 zum Steuern der Datenverarbeitung, eine Komparatorschaltung 11311 zum Vergleichen jedes der Felder  $k$ ,  $e$  und  $t$  der Eingangsdaten  $d_i$  mit jedem der Felder  $k$ ,  $e$  und  $t$  der Lesedaten  $d_o$ , und führt eine vorbestimmte Operation aus, basierend auf dem Ergebnis des Vergleichs. Datenverarbeitungsschaltungen 11312, 11313 und 11314 führen eine vorbestimmte Datenverarbeitung von  $k$ ,  $e$  und  $t$  von  $d_i$  und  $k$ ,  $e$  und  $t$  von  $d_o$  in Übereinstimmung mit Anzeigen 11f1, 11f2 und 11f3 der Komparatorschaltung aus, um Schreibdaten  $z$  ( $k$ ,  $e$ ,  $t$ ) zu erzeugen.

Eine Adreßerzeugungseinheit 1132 erzeugt eine Adresse für das Speicherelement 114 in Übereinstimmung mit einer Anzeige von dem Datenverarbeitungs-

abschnitt 1131.

Eine Zustandsüberwachungsschaltung 11321 empfängt eine Startanzeige aus dem Datenverarbeitungsabschnitt 1131, steuert den Zustand des Speicherelements-zugriffs durch Überwachen des Zustands in Übereinstimmung mit der Zustandsänderung, die später zu beschreiben ist, und führt den Betrieb fort, bis eine Endanzeige von dem Datenverarbeitungsabschnitt 1131 empfangen wird. Eine Kontrollerzeugungsschaltung 11322 erzeugt eine Kontrolle aus dem Schlüssel  $k$ , und Zähler-schaltungen 11323 und 11324 erneuern die in Zeilen- und Spaltenadressen jeweils in Übereinstimmung mit einem Befehl von der Zustandsüberwachungsschaltung.

Die Verarbeitung der Speicherschaltung 113 wird durch die CPU 115 befohlen, die die Daten  $d_i$  zu der Speicherschaltung 113 ausgibt, und gibt die Funktion  $f$  aus.

Danach wartet die CPU 115, bis die folgende Verarbeitung in der Speicherschaltung 113 beendet worden ist.

Zuerst wird der Datenverarbeitungsabschnitt 1131 in der Speicherschaltung 113 im einzelnen erklärt:

Die Fig. 25 und 26 zeigen die Inhalte der Verarbeitung durch den Datenverarbeitungsabschnitt 1131.

Die Komparatorschaltung 11311 dekodiert die Funktion  $f$ , die von der CPU 115 empfangen wird, überträgt den Schlüssel  $k$  zu der Adreßerzeugungsschaltung 1132 und führt den folgenden Betrieb aus.

1. Für die Wiedergewinnungsverarbeitung wiederholt die Komparatorschaltung 11311 die Verarbeitung des Lesens-Änderns-Schreibens, bis der Schlüssel  $k$  der Eingangsdaten  $d_i$  mit dem Schlüssel  $k$  der Lesedaten  $d_o$  übereinstimmt.

Wenn die Schlüssel bei dem obigen Verfahren nicht übereinstimmen, wird es den Verarbeitungsschaltungen 11312 bis 11314 angezeigt, daß keine Änderung der Lesedaten  $d_o$  durchgeführt ist, und die Verarbeitung wird wiederholt.

Andererseits, wenn die Schlüssel bei der obigen Verarbeitung übereinstimmen, zeigt die Komparatorschaltung 11311 der Verarbeitungsschaltung 11314 an, daß der Zeitgeberwert  $t$  der Lesedaten  $d_o$  gelöscht ist, und zeigt den Verarbeitungsschaltungen 11312 und 11313 an, daß die Daten nicht verarbeitet sind (die  $d_o$  werden hindurchgeführt).

Dann wird ein Ende der Verarbeitung der Zustandsüberwachungsschaltung 11321 angezeigt (Fig. 26a).

Die Verarbeitung wird auch abgeschlossen, wenn die Schlüssel nicht übereinstimmen, nachdem das Kontrollsummieren bzw. Kontrollieren bis zu der maximalen Anzahl des Kontrollsummierens  $n$  wiederholt worden ist.

Nachdem die Verarbeitung abgeschlossen worden ist, kehrt die Komparatorschaltung 11311 zu dem Verarbeitungsergebnis  $r$  (Entdeckung/keine Entdeckung) zu der CPU 115 zurück. Die CPU 115 empfängt das Ergebnis  $r$  und liest die Lesedaten  $d_o$  (erwünschte Daten) in dem Fall einer Entdeckung und beendet das Wiedergewinnungsverarbeiten in der Speicherschaltung 113.

2. Für die Wiedergewinnungsverarbeitung wiederholt die Komparatorschaltung 11311 die Verarbeitung der Entdeckung einer registrierbaren Position, bis  $d_i(k)$  mit  $d_o(k)$  übereinstimmt oder bis ein Raum gefunden ist, wo  $d_i(k)$  registriert werden kann. Wenn der Raum nicht gefunden werden kann, wird

es den Verarbeitungsschaltungen 1131 bis 11314 angezeigt, daß die Lesedaten  $do$  nicht verarbeitet werden, und das Verarbeiten wird wiederholt. Andererseits wird, wenn der Raum gefunden worden ist, den Verarbeitungsschaltungen 11312 und 11313 angezeigt, daß die Eingangsdaten  $di$  ausgegeben sind, und es wird der Verarbeitungsschaltung 11314 berichtet, daß der Zeitgeberwert  $t$  gelöscht ist.

Dann wird eine Beendigung der Verarbeitung der Zustandsüberwachungsschaltung 11321 angezeigt (Fig. 26b). Eine Bedingung für einen registrierbaren Bereich ist der Fall, wo die Schlüsseldaten übereinstimmen ( $di(k) = do(k)$ ) oder der Fall, wo die Schlüsseldaten leer sind ( $do(k) = "$  ").

Die Verarbeitung ist auch abgeschlossen, wenn kein registrierbarer Bereich gefunden ist, nachdem ein Kontrollsummieren bis zu der maximalen Anzahl eines Kontrollsummierens ( $n$  mal) wiederholt worden ist.

Nachdem die Verarbeitung abgeschlossen worden ist, kehrt die Komparatorschaltung 11311 das Verarbeitungsergebnis  $r$  (Registrierung/keine Registrierung) zu der CPU 115 zurück. Beim Empfangen des Ergebnisses  $r$  beendet die CPU 115 die Registrierung zu der Speicherschaltung 113.

3. Ein Erneuerungsverfahren des alternnden Zeitgebers wird wie folgt ausgeführt:

Das Erneuerungsverfahren des alternnden Zeitgebers bezieht sich auf die Verarbeitung eines Löschsens des Eingangs, der nicht innerhalb einer vorbestimmten Zeit benutzt worden ist.

Bei der vorliegenden Verarbeitung wird keine Kontrollfunktion benutzt, um eine Adresse zu erzeugen, und der Wert eines Schlüssels ist gemacht. Die Zeilenadresse und die Spaltenadresse ist einfach inkrementiert, um die Verarbeitung zu wiederholen.

Für die Datenverarbeitung wird es der Verarbeitungsschaltung 11314 angezeigt, daß der Zeitgeberwert der Lesedaten inkrementiert ist ( $z(t) = do(t) + 1$ ), und es wird den Verarbeitungsschaltungen 11312 und 11313 angezeigt, daß Daten nicht verarbeitet werden (Fig. 26c).

Wenn der Zeitgeber zu einer Auszeit bzw. Zeitgrenze gekommen ist, sind die Schlüsseldaten der entsprechenden Position ungültig gemacht (z. B. wird 0 geschrieben), und die Daten werden gelöscht (Fig. 26d).

Wenn das Kontrollsummieren die maximale Zahl ( $n$  mal) erreicht hat, wird das Verarbeiten abgeschlossen.

Wenn die Funktion des alternnden Zeitgebers nicht benutzt wird, kann die Verarbeitungseinheit 115 diese Funktion nicht ausgeben.

Bei der obigen Verarbeitung 1. bis 3. werden die Schreibdaten  $z(k)$ ,  $z(e)$  und  $z(t)$ , die in den Verarbeitungsschaltungen 11312 bis 11314 erzeugt sind (Fig. 26), in das Hauptspeicherelement 114 unter der Kontrolle des Adreßerzeugungsabschnitts 1132 geschrieben.

Als nächstes wird der Adreßerzeugungsabschnitt 1132 im einzelnen erklärt:

Die Zustandsüberwachungsschaltung 11321 beginnt den Betrieb, basierend auf der Startanzeige von der Komparatorschaltung 11311, und gibt das Zeitgabesignal 11321 an das Speicherelement 114 aus und führt somit den Betrieb fort, bis es eine Endanzeige gibt

(Fig. 24).

Die Kontrollerzeugungsschaltung 11322 erzeugt die Zeilenadresse aus dem Schlüssel  $k$ , der aus der Komparatorschaltung 11311 erhalten ist, und lädt die ursprüngliche Zeilenadresse in die Zäblerschaltung 11323.

Die Zälerschaltungen 11323 und 11324 halten die Zeilenadresse 11323a bzw. die Spaltenadresse 11324a und inkrementieren in Übereinstimmung mit den Zeitgaben 11321a und 11321b, die durch die Zustandsüberwachungsschaltung 11321 angezeigt werden.

Wie oben beschrieben ist, ist es gemäß dem vorliegenden Ausführungsbeispiel möglich, eine Datenbasis zu realisieren, die ein nochmaliges Kontrollverfahren benutzt, und insbesondere gibt es folgende Auswirkungen.

1. Es ist möglich, ein Wiedergewinnungs- oder Registrierverfahren in dem Speicher in einem Zyklus auszuführen.
2. Es ist möglich, Registrierdaten zu löschen, die für eine vorbestimmte Periode nicht erforderlich sind.
3. Es ist möglich, die Lese-Änderungs-Zeitgabe und Geschwindigkeitserhöhung der Verarbeitung zu reduzieren, wenn die Daten in einem Chip behandelt werden.

Bei dem obigen Ausführungsbeispiel sind der Datenverarbeitungsabschnitt, der Adreßerzeugungsabschnitt und der Speicher in einem Chip realisiert. Der Chip kann jedoch aufgeteilt sein, wie es in Fig. 27(a) bis (d) gemäß anderen Bedingungen gezeigt ist, wie einer Speicherkapazität bzw. der Speicherschaltung.

Genauer gesagt, zeigt Fig. 27(a) einen Fall, wo der Datenverarbeitungsabschnitt 1131 und der Adreßerzeugungsabschnitt 1132 integriert sind, und nur der D-RAM 114 ist getrennt. Durch diese Anordnung ist es möglich, eine Datenbasisfunktion durch Verwenden eines allgemeinen D-RAM zu realisieren.

Fig. 27(b) zeigt einen Fall, wo der Datenverarbeitungsabschnitt 1131, der Adreßerzeugungsabschnitt 1132 und der D-RAM 114 getrennt sind. Durch diese Anordnung ist es möglich, bei dem Änderungsverfahren und dem Kontrollverfahren gemäß dem Anwendungsverfahren eine Flexibilität zu haben.

Fig. 27(c) zeigt einen Fall, wo der Datenverarbeitungsabschnitt 1131 und der D-RAM 114 integriert sind, und der Adreßerzeugungsabschnitt 1132 ist getrennt. Durch diese Anordnung ist es möglich, bei dem Kontrollverfahren eine Flexibilität zu haben und einen Speicher zum Speichern der Funktion eine fortlaufende Datenverarbeitung zu realisieren.

Fig. 27(d) zeigt einen Fall, wo der Adreßerzeugungsabschnitt 1132 und der D-RAM 114 integriert sind, und der Datenverarbeitungsabschnitt 1131 ist getrennt. Durch diese Anordnung ist es möglich, bei dem Änderungsverfahren eine Flexibilität zu haben und einen Speicher zum Speichern der Funktion eines fortlaufenden Erzeugens der Adresse nach dem Kontrollverfahren zu realisieren.

Nun wird die Brückeneinheit beschrieben, die die Speicherschaltung benutzt, die bei dem dritten Ausführungsbeispiel als die Adressendatenbasis erklärt ist, und zwar als viertes Ausführungsbeispiel der vorliegenden Erfindung.

Der Aufbau des Netzwerksystems, das gegenseitig durch die Brückeneinheit verbunden ist, die sich auf das vierte Ausführungsbeispiel bezieht, ist das gleiche wie das in der Fig. 16 gezeigte.

Wie in Fig. 16 gezeigt, verwendet die Brückeneinheit, die sich auf das vorliegende Ausführungsbeispiel bezieht, eine Vielzahl von Faser-verteilten-Datenschnittstellen (FDDIs).

Die Brückeneinheit weist eine Adressentabelle zum Speichern einer Position auf, wo ein Anschluß existiert. In dem Fall eines Vermittels von Daten bezieht sich die Brückeneinheit auf die Adressentabelle und die Bestimmungsadresse des ankommenden Pakets, um eine Entscheidung über eine Vermittlung oder ein Entfernen zu treffen. In anderen Worten führt die Brückeneinheit die Adreßfilterverarbeitung aus.

Genauer gesagt, wenn der Bestimmungsanschluß des Pakets in der Richtung des anderen LAN ist oder wenn die Bestimmung nicht bekannt ist, wird das Paket vermittelt und das Paket wird entfernt, wenn der Bestimmungsanschluß in der ankommenden Richtung liegt.

Weiterhin bezieht sich die Brückeneinheit auf das ankommende Paket und registriert die Quelladresse und die Anschlußposition in der Adressenzeile, um dadurch ein Lernen auszuführen.

Die Adressentabelle wird in jeder vorbestimmten Periode angeschaut, und zwar zum Zwecke von:

1. Verhindern, daß die Tabelle durch das Lernen gefüllt wird,
2. Flexibles Fertigwerden mit der Bewegung der Anschlußposition, und eine Registrierung der Anschlüsse, zu denen kein Paket übertragen wird, wird gelöscht.

Fig. 16 zeigt den Fall, wo die Brückeneinheit zwei FDDIs verbindet, um die Erklärung zu vereinfachen.

Bei der Brückeneinheit, die sich auf das vorliegende Ausführungsbeispiel bezieht, wird der Leitweg durch Ausdrücken der Position ausgeführt, wo die Adresse mit mittlerer Zugriffssteuerung (MAC) (48 Bits) durch die Zahl des Tores der Brückeneinheit zum Verbinden der FDDIs existiert.

Zum Beispiel werden die MAC-Adreßpositionen als ein Tor A und ein Tor B ausgedrückt. Es wird angenommen, daß bei dem vorliegenden Ausführungsbeispiel zwei FDDIs zu verbinden sind. Daher gibt es zwei Tore.

Die Struktur dieser Adressentabelle ist die gleiche wie die in der Fig. 17 und der Fig. 23 gezeigte.

Die Adressentabelle hat MAC-Adressen, FDDI-Torzahlen, die Richtungen der MAC-Adressen zeigen, und den alternenden Zeitgeber.

Fig. 28 zeigt den Aufbau der Brückeneinheit, die sich auf das vierte Ausführungsbeispiel der vorliegenden Erfindung bezieht. Diese entspricht dem Aufbau der Brückeneinheit in Fig. 18.

In Fig. 28 wird gezeigt: eine Brückeneinheit 91 zum Verbinden der FDDIs und ein Verbindungssteuerungsabschnitt 911. FDDI-Steuerungsabschnitte 912A bis 912D (Tore A bis D) entsprechen jeweils den FDDIs A bis D.

Eine Adressendatenbasis 9116 führt das Lernen der Stationsposition und eine Unterscheidung eines Vermittels/Entfernens des vermittelten Rahmens aus (Filtern), und diese Adressendatenbasis benutzt die Speicherschaltung 113, die sich auf das dritte Ausführungsbeispiel bezieht.

Ein Prozessor ist mit 9115 bezeichnet.

Der Betrieb des Prozessors 9115 wird unten erklärt.

Zuerst wird das Filtern wie folgt ausgeführt.

Wenn ein Rahmen von der FDDI A empfangen worden ist, extrahiert z. B. der Prozessor 9115 eine Bestim-

mungsadresse (DA) des empfangenen Rahmens, der in dem Übertragungs-/Empfangspuffer 912A5 gespeichert ist, überträgt die DA zu der Adressendatenbasis 9116 und gibt eine Wiedergewinnungsfunktion aus, die bei dem dritten Ausführungsbeispiel erklärt ist. Der Prozessor 9115 kann die Torzahl des Tors, wo der Bestimmungsanschluß existiert, aus den Daten erkennen, die von der Adressendatenbasis 9116 erhalten werden (do bei dem vorangehenden Ausführungsbeispiel).

In der Adressendatenbasis 9116 entspricht die MAC-Adresse dem Schlüsselfeld in Fig. 23, die Torzahl entspricht dem Eingangsfeld, und der alternde Zeitgeber entspricht dem Zeitgeberfeld in Fig. 23.

Als ein Ergebnis der obigen Verarbeitung wird über eine Vermittlung oder ein Entfernen wie folgt entschieden.

1. Der Rahmen wird entfernt, wenn die Bestimmungs-Torzahl gleich der ankommenden Torzahl ist.
2. Der Rahmen wird zu dem entsprechenden Tor vermittelt, wenn die Bestimmungs-Torzahl nicht gleich der ankommenden Torzahl ist. In anderen Worten wird der empfangene Rahmen in dem Übertragungs- und Empfangspuffer des entsprechenden Tors kopiert und wird dann übertragen.
3. Der Rahmen wird zu all den Toren vermittelt, wenn die Bestimmungs-Torzahl nicht gefunden wird.

Das Lernen wird durch Übertragen des Satzes der Quelladresse (SA) und der ankommenden Torzahl zu der Adressendatenbasis 9116 und durch Ausgeben der Registrierfunktion, die bei dem dritten Ausführungsbeispiel erklärt ist, ausgeführt.

Der Wert des alternenden Zeitgebers, der dem Speicher der Zeilenadresse entspricht, wird durch Übertragen der Zeilenadresse zu der Adressendatenbasis 9116 und Ausgeben der in dem dritten Ausführungsbeispiel erklärten alternenden Zeitgeberfunktion erneuert. Durch intermittierendes Inkrementieren der Zeilenadresse und Wiederholen dieser Verarbeitung wird es möglich, den alternenden Zeitgeberwert, der all den Speicheradressen entspricht, zu erneuern.

Wenn z. B. kein alternder Zeitgeber in der Brückeneinheit erforderlich ist oder wenn ein Mischen eines Registrierwertes in dem System nicht notwendig ist, kann die obige Verarbeitung und das Zeitgeberfeld weggelassen werden.

Wie oben beschrieben ist, ist es gemäß dem vorliegenden Ausführungsbeispiel möglich, die Verarbeitungseffizienz des Adreßfilterverarbeitens zu verbessern und die physikalische Quantität der Hardware zu reduzieren.

In jedem der oben erklärten Ausführungsbeispiele ist der Fall beschrieben worden, wo die Speicherschaltung für die Datenbasis benutzt ist. Es ist jedoch nicht notwendig zu erwähnen, daß die Speicherschaltung, die sich auf die vorliegende Erfindung bezieht, auch auf die anderen oben beschriebenen Bildverarbeitungen allgemein angewandt werden kann.

Bei den obigen Ausführungsbeispielen wird die Adreßerzeugung durch das Kontrollverfahren ausgeführt. Die Adreßerzeugung kann jedoch durch ein Verfahren ausgeführt werden, das für das Verarbeiten in Übereinstimmung mit der Verarbeitung geeignet ist, die die Speicherschaltung benutzt. Weiterhin kann über den Aufbau der Datenfelder und der Funktionen, die zu rea-



lisieren sind, geeignet in Übereinstimmung mit der Verarbeitung entschieden werden, die die Speicherschaltung benutzt.

Gemäß jedem der oben beschriebenen Ausführungsbeispiele ist es möglich, eine Datenverarbeitung der Datenbasis in einem Zyklus durch nur einen Zugriff auf das Speicherelement auszuführen, um dadurch die Verarbeitung zu beschleunigen. Weiterhin kann die Verarbeitungsgeschwindigkeit durch Realisieren der Speicherschaltung in einem Chip erhöht werden.

Wie oben beschrieben ist, ist es gemäß der vorliegenden Erfindung möglich, eine Speicherschaltung zu schaffen, die eine Verarbeitung der Datenwiedergewinnung/Registrierung usw. mit hoher Geschwindigkeit ausführen kann.

In anderen Worten werden gemäß der Speicherschaltung, die sich auf die vorliegende Erfindung bezieht, Daten aus dem Speicher in die Adresse gelesen, die durch den Adreßerzeugungsabschnitt für die Daten erzeugt ist, die von außen eingegeben sind. Basierend auf diesen Daten entscheidet ein Vergleichsabschnitt einen Datenerzeugungsmodus für die Daten, die in den Speicher an den Platz der aus dem Speicher gelesenen Daten zu schreiben sind. Basierend auf dem Ergebnis dieser Entscheidung, erzeugt der Datenverarbeitungsabschnitt die zu schreibenden Daten und schreibt die Daten in den Speicher.

Bis eine der vorherbestimmten Bedingungen für die Beziehung zwischen den eingegebenen Daten und den gelesenen Daten erfüllt ist, werden Daten sequentiell aus dem Speicher in Übereinstimmung mit einer vorbestimmten Regel für ein Datelement gelesen, das eingegeben worden ist, und die obige Datenerzeugung und das Schreiben werden wiederholt.

Wie oben beschrieben ist, können gemäß der Speicherschaltung, die sich auf die vorliegende Erfindung bezieht, die Wiedergewinnungsverarbeitung und die Registrierverarbeitung mit einer hohen Geschwindigkeit durch beispielsweise die Hardware in der Datenbaseteinheit oder ähnlichem realisiert werden. Weiterhin ist es unter vorbestimmten Bedingungen bei der Bildverarbeitung oder ähnlichem möglich, eine Verarbeitung mit hoher Geschwindigkeit auszuführen, um neue Daten durch Bearbeiten eingegebener Daten zu Bilddaten zu erhalten, die in dem Speicher gespeichert sind.

Es ist darüber hinaus auch möglich, die Geschwindigkeit der Verarbeitung durch derartiges Anordnen zu erhöhen, daß der obige Speicher ein Speicher mit dynamischem Direktzugriff ist, der einen Lese-Änderungs-Schreib-Modus hat, und daß das Lesen der Daten aus dem Speicher in die Adresse, die gelesen worden ist, und das Schreiben der Daten, die durch den Datenverarbeitungsabschnitt erzeugt sind, in einem Zyklus in dem Lese-Änderungs-Schreib-Zyklus ausgeführt werden.

Darüber hinaus ist es möglich, eine weitere Verarbeitung mit hoher Geschwindigkeit durch ein derartiges Anordnen zu realisieren, daß der oben erwähnte dynamische Direktzugriffsspeicher einen Seiten-Modus mit hoher Geschwindigkeit hat, daß der Adreßerzeugungsabschnitt eine Zeilenadresse und eine Spaltenadresse des dynamischen Direktzugriffsspeichers für die erste Adresse erzeugt, in die Daten auszulesen sind, um sie mit den Daten zu vergleichen, die von außen eingegeben sind, und nur eine Spaltenadresse für die zweite Adresse und die nachfolgenden Adressen erzeugt, in die die obigen Daten aufeinanderfolgend erzeugt werden, und daß das Lesen von Daten aus dem Speicher und das Schreiben von Daten, die durch den Datenverarbeitungs-

abschnitt in die Leseadresse erzeugt sind, in dem Seiten-Modus mit hoher Geschwindigkeit ausgeführt werden.

Weiterhin ist es in dem Fall, wo die obige Speicherschaltung als eine Datenbasis benutzt wird, möglich, Wiedergewinnungs- und Registrierverarbeitungen effizient durch Anwenden des Kontrollverfahrens auf die Daten auszuführen, die einen Eingang der Adreßerzeugung haben.

Gemäß den Datenwiedergewinnungs- und Registrierverfahren, die sich auf die vorliegende Erfindung beziehen, werden eine Datenwiedergewinnung und Datenregistrierung durch das Kontrollverfahren ausgeführt, und da die Kontrollfunktion  $hn = h1 + n$  ist (wobei  $n$  eine Zahl von Kontrollzeiten ist), ist es weiterhin möglich, eine Wiedergewinnung und eine Registrierung der Speicherdaten in dem dynamischen Direktzugriffsspeicher in dem Seiten-Modus-Lese-Änderungs-Schreib-Modus mit hoher Geschwindigkeit auszuführen.

Weiterhin ist gemäß der Speicherschaltung IC, die sich auf die vorliegende Erfindung bezieht, die Speicherschaltung so integriert, daß es Vorteile hoher Geschwindigkeit, hoher Ladungsdichte, einfacher Bedienung usw. gibt.

Gemäß der Brückeneinheit, die sich auf die vorliegende Erfindung bezieht, da diese Speicherschaltung IC als die Adressendatenbasis benutzt wird, ist es daher möglich, eine Adreßfilterverarbeitung mit hoher Geschwindigkeit auszuführen und eine kompakte Struktur der Speicherschaltung IC zu haben.

#### Patentansprüche

1. Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung zwischen einer Vielzahl von Netzwerken unter Verwenden einer Adreßinformation, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle (11, 21, 1114, 2114) registriert ist, wobei die Adreßfiltereinheit aufweist:

Zeitgeber, die jeweils vorgesehen sind, um einer jeweiligen Adreßinformationsregistrierung zu entsprechen;

eine Zeitgebererneuerungseinrichtung (11135) zum sequentiellen und intermittierenden Fortschalten jedes Zeitgeberwertes; und eine Einrichtung zum Löschen der Registrierung einer Adreßinformation, die den Zeitgebern von der Eingangstabelle entspricht.

2. Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung zwischen einer Vielzahl von Netzwerken unter Verwendung einer Adreßinformation, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle registriert ist, wobei die Adreßfiltereinheit aufweist:

Zeitgeber, die vorgesehen sind, um jeder Adreßinformationsregistrierung zu entsprechen;

eine Zeitgebererneuerungseinrichtung zum sequentiellen und intermittierenden Fortschalten jedes Zeitgeberwertes; eine Starteinrichtung zum Starten der Zeitgebererneuerungseinrichtung in einem vorbestimmten Zyklus  $\Delta T$  und eine Einrichtung zum Löschen der Registrierung der Adreßinformation, die den Zeitgebern von der Eingangstabelle entspricht, wenn ein Zeitgeberwert ein vorbestimmter Wert oder darüber wird.

3. Adreßfiltereinheit nach Anspruch 2, wobei die

Zeitgebererneuerungseinrichtung jeden Zeitgeberwert in einem Zeitintervall  $\Delta t$  intermittierend fortzuschaltet, wobei  $\Delta t \leq \Delta T +$  eine maximale Registriernummer in der Eingangstabelle ist.

4. Adreßfilterverfahren zum Ausführen einer Adresse der Verarbeitung zwischen einer Vielzahl von Netzwerken unter Verwendung einer Adreßinformation, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle registriert ist, wobei das Adreßfilterverfahren aufweist:

einen ersten Schritt zum sequentiellen Erzeugen als eine Adresse der Eingangstabelle einer Funktion ( $f_i(a)$ ,  $i=1$  bis  $n$ ) einer Quelladresse, die von einem ankommenden Informationsrahmen zu der Zeit der Registrierung in der Eingangstabelle extrahiert ist, oder einer Bestimmungsadresse ( $a$ ), die von einem ankommenden Informationsrahmen zu der Zeit der Wiedergewinnung aus der Eingangstabelle extrahiert ist;

einen zweiten Schritt zum Entscheiden, ob eine Information in einer Adresse registriert werden kann oder nicht, die in dem ersten Schritt der Eingangstabelle zu der Zeit der Registrierung erzeugt ist; und

einen dritten Schritt zum Entscheiden, ob eine Adreßinformation, die in der Adresse registriert ist, die in dem ersten Schritt in der Eingangstabelle erzeugt ist, eine erwünschte Information zu der Zeit der Wiedergewinnung ist oder nicht.

5. Adreßfilterverfahren nach Anspruch 4, wobei der erste Schritt und der zweite Schritt oder der dritte Schritt aufeinanderfolgend ausgeführt werden.

6. Adreßfilterverfahren nach Anspruch 4, wobei zu der Zeit einer Wiedergewinnung, wenn in dem dritten Schritt entschieden worden ist, daß eine Adreßinformation, die in der Adresse  $f_i(a)$  der Eingangstabelle registriert ist, eine erwünschte Information ist, die Wiedergewinnung beendet wird, und wenn entschieden worden ist, daß eine Adreßinformation, die in der Adresse  $f_i(a)$  der Eingangstabelle registriert ist, keine erwünschte Information ist, die Wiedergewinnung der Adresse  $f_{i+1}(a)$  der Eingangstabelle, die in dem ersten Schritt erzeugt ist, fortgeführt wird.

7. Adreßfiltereinheit zum Ausführen eines Adreßfilterverfahrens zwischen Verzweigungs-LANs und Vermittlungsnetzwerken, die  $N$  ( $N \geq 1$ ) logische Übertragungspfade oder physikalische Übertragungspfade aufweisen, durch Wiedergewinnen einer Adreßinformation, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle registriert ist, wobei die Adreßfiltereinheit aufweist: eine Prioritätsordnungsentscheidungseinrichtung zum Entscheiden über eine Prioritätsordnung der Registrierung der Adreßinformation, die von den Verzweigungs-LANs in die Eingangstabelle kommt, der Registrierung der Adreßinformation, die von den  $N$  Übertragungspfad des Vermittlungsnetzwerks in die Eingangstabelle kommt und einer Wiedergewinnung der Adreßinformation von der Eingangstabelle; und eine Ausführungseinrichtung zum Ausführen der Verarbeitung in Übereinstimmung mit dem Ergebnis einer Entscheidung.

8. Adreßfiltereinheit nach Anspruch 7, wobei die Prioritätsordnung in der Größenordnung einer Wiedergewinnung der Adreßinformation aus der

Eingangstabelle, einer Registrierung der Adreßinformation, die von den Verzweigungs-LANs in die Eingangstabelle kommt, und einer Registrierung der Adreßinformation, die von dem Vermittlungsnetzwerk in die Eingangstabelle kommt.

9. Adreßfiltereinheit nach Anspruch 7, wobei die Adreßfiltereinheit eine Speichereinrichtung zum zeitweisen Speichern einer Adreßinformation enthält, die von dem Vermittlungsnetzwerk kommt, und die Ausführungseinrichtung einer Adreßinformation registriert, die in der Speichereinrichtung in der Eingangstabelle während einer Periode gespeichert ist, während andere Verarbeitungen nicht ausgeführt werden.

10. Adreßfiltereinheit zum Ausführen einer Adreßfilterverarbeitung zwischen Verzweigungs-LANs und Vermittlungsnetzwerken, die  $N$  ( $N \geq 1$ ) logische Übertragungspfade oder physikalische Übertragungspfade aufweisen, durch Wiedergewinnen einer Adreßinformation, die von einem ankommenden Informationsrahmen extrahiert ist, der in einer Eingangstabelle (1114) registriert sind, wobei die Adreßfiltereinheit aufweist:

eine Prioritätsordnungsentscheidungseinrichtung zum Entscheiden über eine Prioritätsordnung eines Ausführens einer Registrierung einer Adreßinformation, die von den Verzweigungs-LANs in die Eingangstabelle kommt, einer Registrierung einer Adreßinformation, die von den  $N$  Übertragungspfad des Vermittlungsnetzwerkes in die Eingangstabelle kommt und einer Wiedergewinnung einer Adreßinformation von der Eingangstabelle; eine Adreßerzeugungseinrichtung (1132) zum sequentiellen Erzeugen als eine Adresse der Eingangstabelle einer Funktion ( $f_i(a)$ ,  $i=1$  bis  $n$ ) einer Quelladresse, die von einem ankommenden Informationsrahmen zu der Zeit der Registrierung in der Eingangstabelle extrahiert ist, oder einer Bestimmungsadresse ( $a$ ), die von einem ankommenden Informationsrahmen zu der Zeit der Wiedergewinnung von der Eingangstabelle extrahiert ist; eine Registrieradressenkandidatenentscheidungseinrichtung (11139) zum Entscheiden über eine Registrieradresse unter Adressen, die durch die Adreßerzeugungseinrichtung in der Eingangstabelle zu der Zeit der Registrierung sequentiell erzeugt sind;

eine Wiedergewinnungseinrichtung (11138) zum Wiedergewinnen einer erwünschten Adreßinformation unter Adressen, die durch die Adreßerzeugungseinrichtung in der Eingangstabelle zu der Zeit der Wiedergewinnung erzeugt sind; und eine Einrichtung zum parallelen Verarbeiten der Adreßerzeugungsverarbeitung zum Erzeugen einer  $i$ -ten Adresse durch die Adreßerzeugungseinrichtung, der Wiedergewinnungsverarbeitung zum Wiedergewinnen einer  $(i-1)$ -ten Adresse durch die Wiedergewinnungseinrichtung oder der Entscheidungsverarbeitung zum Entscheiden über eine  $(i-1)$ -te Adresse durch die Registrieradressenkandidatenentscheidungseinrichtung.

11. Vermittlungseinheit zum Verbinden einer Vielzahl von Netzwerken, die aufweist: eine Adreßfiltereinheit gemäß Anspruch 1, 2, 3, 4, 5, 6, 7, 8 oder 9; und eine Datenformatumwandlungseinrichtung zum Umwandeln des Datenformates eines Informationsrahmens, der zu einem anderen Netzwerk als ein Ergebnis einer Adreßfilterverarbeitung

durch die Adreßfiltereinheit zu vermitteln ist, in ein Datenformat des Netzwerkes, zu dem der Informationsrahmen vermittelt wird.

12. Brückeneinheit (91), die aufweist:

eine Vermittlungseinheit, die eine Adreßfiltereinheit gemäß Anspruch 1, 2, 3, 4 oder 5 enthält, zum Verbinden von Verzweigungs-LANs und einem Vermittlungsnetzwerk, das  $N$  ( $N \geq 1$ ) logische Übertragungspfade oder physikalische Übertragungspfade aufweist, oder eine Adreßfiltereinheit gemäß Anspruch 6, 7, 8 oder 9 enthält, und eine Wiederaussetzungseinrichtung zum Umwandeln des Datenformats eines Informationsrahmens, der zu Verzweigungs-LANs von dem Vermittlungsnetzwerk zu vermitteln ist, als ein Ergebnis einer Adreßfilterverarbeitung durch die Adreßfiltereinheit, in ein Datenformat der Verzweigungs-LANs, zu denen der Informationsrahmen übermittelt wird, und eine Segmentierungseinrichtung zum Umwandeln des Datenformats eines Informationsrahmens, der zu dem Vermittlungsnetzwerk von den Verzweigungs-LANs als ein Ergebnis einer Adreßfilterverarbeitung zu vermitteln ist, in ein Datenformat des Vermittlungsnetzwerks, zu dem der Informationsrahmen vermittelt wird; und einen Verzweigungs-LAN-Steuerungsabschnitt zum Steuern der Schnittstelle mit den Verzweigungs-LANs.

13. Brückeneinheit nach Anspruch 12, wobei die Adreßfiltereinheit eine Adreßinformation von einem Informationsrahmen an Verzweigungs-LANs extrahiert von einem Informationsrahmen, der zu einer eigenen Brücke in dem Vermittlungsnetzwerk übertragen ist, und von einem Informationsrahmen, der zu einer anderen Brückeneinheit übertragen wird, der ein anderer als ein Informationsrahmen ist, der zu dem Vermittlungsnetzwerk zumindest durch die eigene Brückeneinheit in dem Vermittlungsnetzwerk vermittelt ist, und die Adreßinformation in der Eingangstabelle registriert; und die Brückeneinheit den ganzen Informationsrahmen vermittelt, der von dem Vermittlungsnetzwerk zu den Verzweigungs-LANs empfangen ist, ohne ein Ausführen einer Adreßfilterverarbeitung.

14. Speicherschaltung, die aufweist:

einen Speicher (114);  
einen Vergleichsabschnitt (1131) zum Entscheiden über einen Datenerzeugungsmodus, basierend auf Daten, die von außen eingegeben sind, und Daten, die aus dem Speicher gelesen sind;  
einen Datenverarbeitungsabschnitt (11312, 11313, 11314) zum Erzeugen von zu schreibenden Daten in einer Adresse, von der Daten aus dem Speicher gelesen worden sind, in Übereinstimmung mit einem Datenerzeugungsmodus, über den durch den Vergleichsabschnitt entschieden ist; und  
einen Adreßerzeugungsabschnitt (1132) zum sequentiellen Erzeugen einer Adresse, basierend auf vorbestimmten Regeln, bis zu einer von vorbestimmten Bedingungen für eine Beziehung zwischen eingegebenen Daten und aus dem Speicher auslesenden Daten.

15. Speicherschaltung nach Anspruch 14, wobei jedes Element der Daten durch eine Vielzahl von Feldern strukturiert ist und wobei der Datenverarbeitungsabschnitt eine Vielzahl von Verarbeitungsschaltungen zum Erzeugen der Daten aufweist, die

in jedes Feld unabhängig voneinander zu schreiben sind.

16. Speicherschaltung nach Anspruch 14, wobei eine der vorbestimmten Bedingungen eine Anzahl von Malen ist, durch die der Vergleichsabschnitt Daten aus dem Speicher ausgelesen hat, um die Daten mit den eingegebenen Daten zu vergleichen.

17. Speicherschaltung nach Anspruch 14, wobei der Vergleichsabschnitt über einen Datenerzeugungsmodus entscheidet, basierend auf einem Funktionssignal, das von außen einzugeben ist, um eine Funktion der Vergleichsschaltung zuzuteilen, und auch Daten, die von außen eingegeben sind, und Daten, die aus dem Speicher ausgelesen sind.

18. Speicherschaltung nach Anspruch 14, wobei der Speicher ein dynamischer Direktzugriffsspeicher mit einem Lese-Änderungs-Schreib-Modus ist, und ein Schreiben von Daten aus dem Speicher und ein Schreiben von Daten, die durch den Datenverarbeitungsabschnitt in eine Leseadresse erzeugt sind, wird in dem Lese-Änderungs-Schreib-Zyklus in einem Zyklus ausgeführt.

19. Speicherschaltung nach Anspruch 18, wobei der Speicher (114) ein dynamischer Direktzugriffsspeicher mit einem Seiten-Modus hoher Geschwindigkeit ist;

der Adreßerzeugungsabschnitt (1132) eine Zeilenadresse und eine Spaltenadresse des dynamischen Direktzugriffsspeichers für eine Adresse erzeugt, in der Daten ausgelesen werden, um diese Daten bei einer ersten Zeit mit den Daten zu vergleichen, die von außen eingegeben sind, und erzeugt nur eine Spaltenadresse für die zweite Adresse und nachfolgende Adressen, die sequentiell zu erzeugen sind; und

ein Lesen der Daten aus dem Speicher und ein Schreiben der Daten, die durch den Datenverarbeitungsabschnitt erzeugt sind, in eine Lese-Adresse in einem Seiten-Modus mit hoher Geschwindigkeit ausgeführt wird.

20. Speicherschaltung nach Anspruch 14, wobei der Adreßerzeugungsabschnitt (1132) eine Adresse durch das Kontrollverfahren unter Verwendung der eingegebenen Daten oder eines Teils der Daten als Schlüssel erzeugt.

21. Speicherschaltung nach Anspruch 19, wobei der Adreßerzeugungsabschnitt (1132) eine Zeilenadresse und eine Spaltenadresse des dynamischen Direktzugriffsspeichers für eine Adresse erzeugt, in der Daten gelesen werden, um diese Daten zu dem ersten Zeitpunkt mit den von außen eingegebenen Daten zu vergleichen, gemäß dem Kontrollverfahren unter Verwendung der eingegebenen Daten oder eines Teils dieser Daten als Schlüssel, und eine Spaltenadresse durch sequentielles Erhöhen der Spaltenadresse erzeugt, die zu dem ersten Zeitpunkt für die zweite Adresse und nachfolgende Adressen erzeugt ist, um sequentiell erzeugt zu werden, und Lesen der Daten aus dem Speicher und Schreiben der Daten in einem Seiten-Modus-Lese-Änderungs-Schreib-Modus mit hoher Geschwindigkeit ausgeführt werden.

22. Verfahren zum Wiedergewinnen und Registrieren von Daten, wobei eine Wiedergewinnung und eine Registrierung von Speicherdaten in einem dynamischen Direktzugriffsspeicher in einem Seiten-Modus-Lese-Änderungs-Schreib-Modus mit hoher Geschwindigkeit ausgeführt werden, und zwar un-

ter Annahme einer Kontrollfunktion von  $h_n = h_1 + n$  (wobei  $n$  die Anzahl eines Wiederholens eines Kontrollsummierens ist).

23. Speicherschaltung IC, die eine Speicherschaltung nach Anspruch 14 enthält.

24. Brückeneinheit zum Verbinden einer Vielzahl von Netzwerken, um eine Adreßfilterverarbeitung unter Verwendung einer Adressendatenbasis auszuführen, wobei die Adressendatenbasis durch eine Speicherschaltung IC nach Anspruch 23 aufgebaut ist.

Hierzu 27 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG. 2

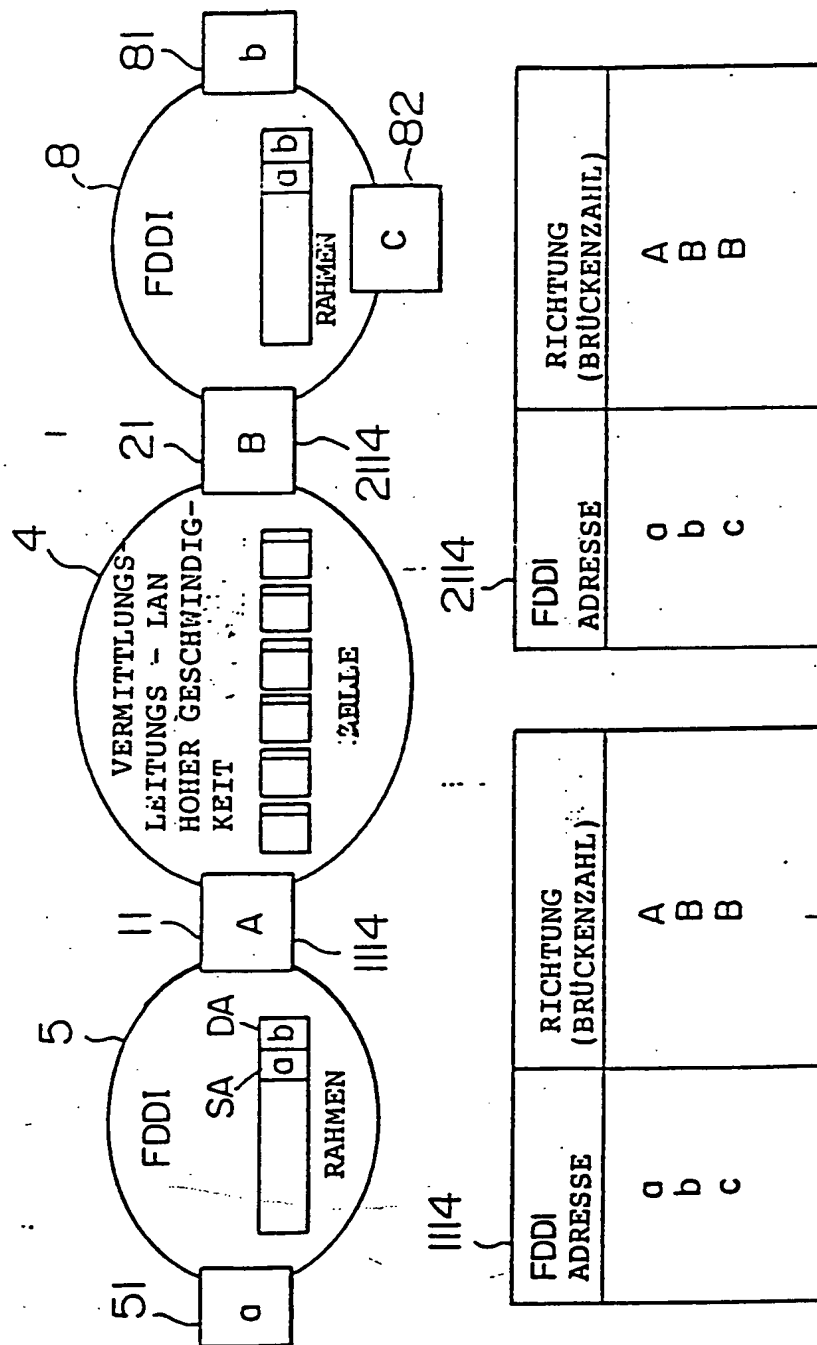




FIG. 3

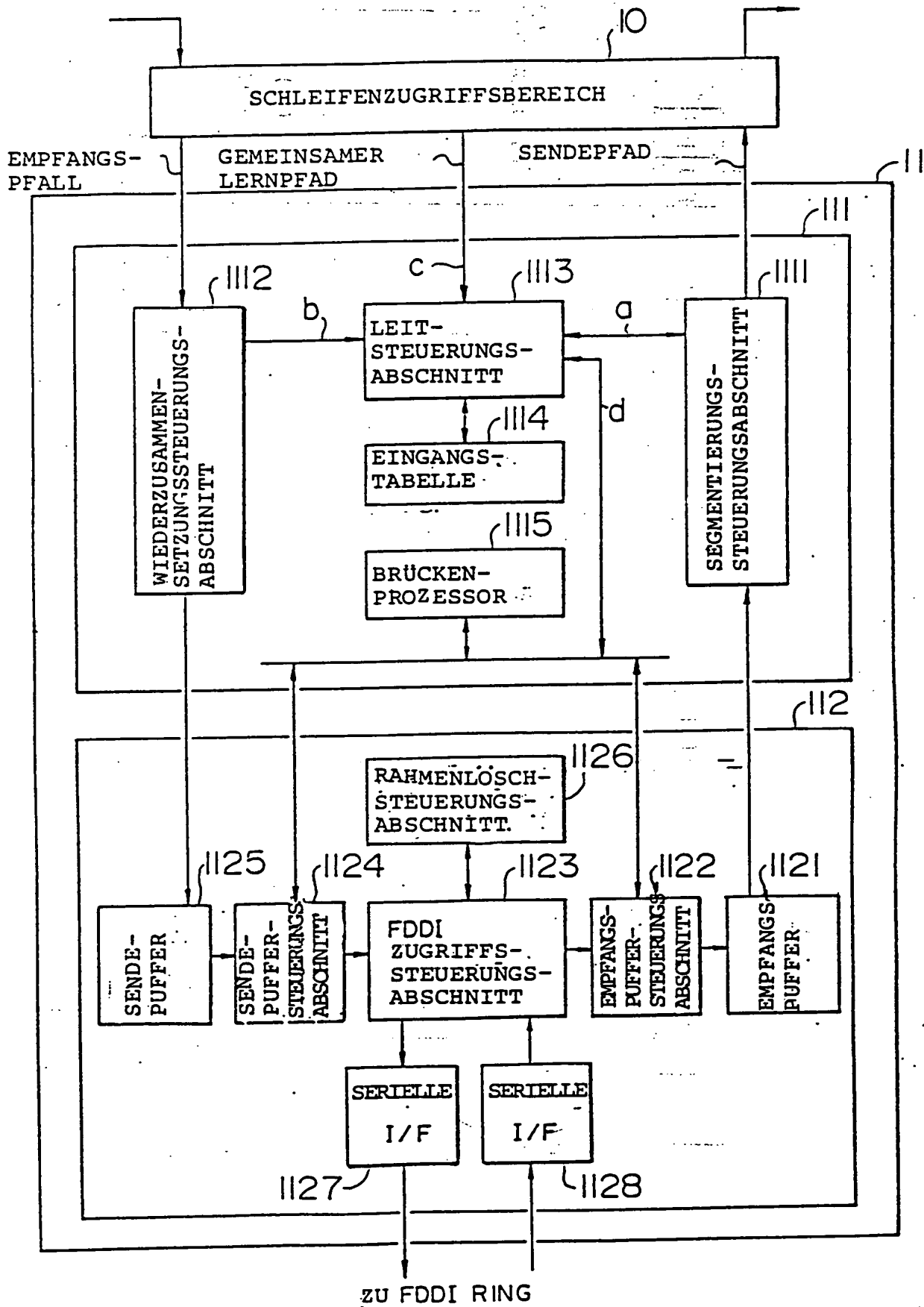


FIG. 4

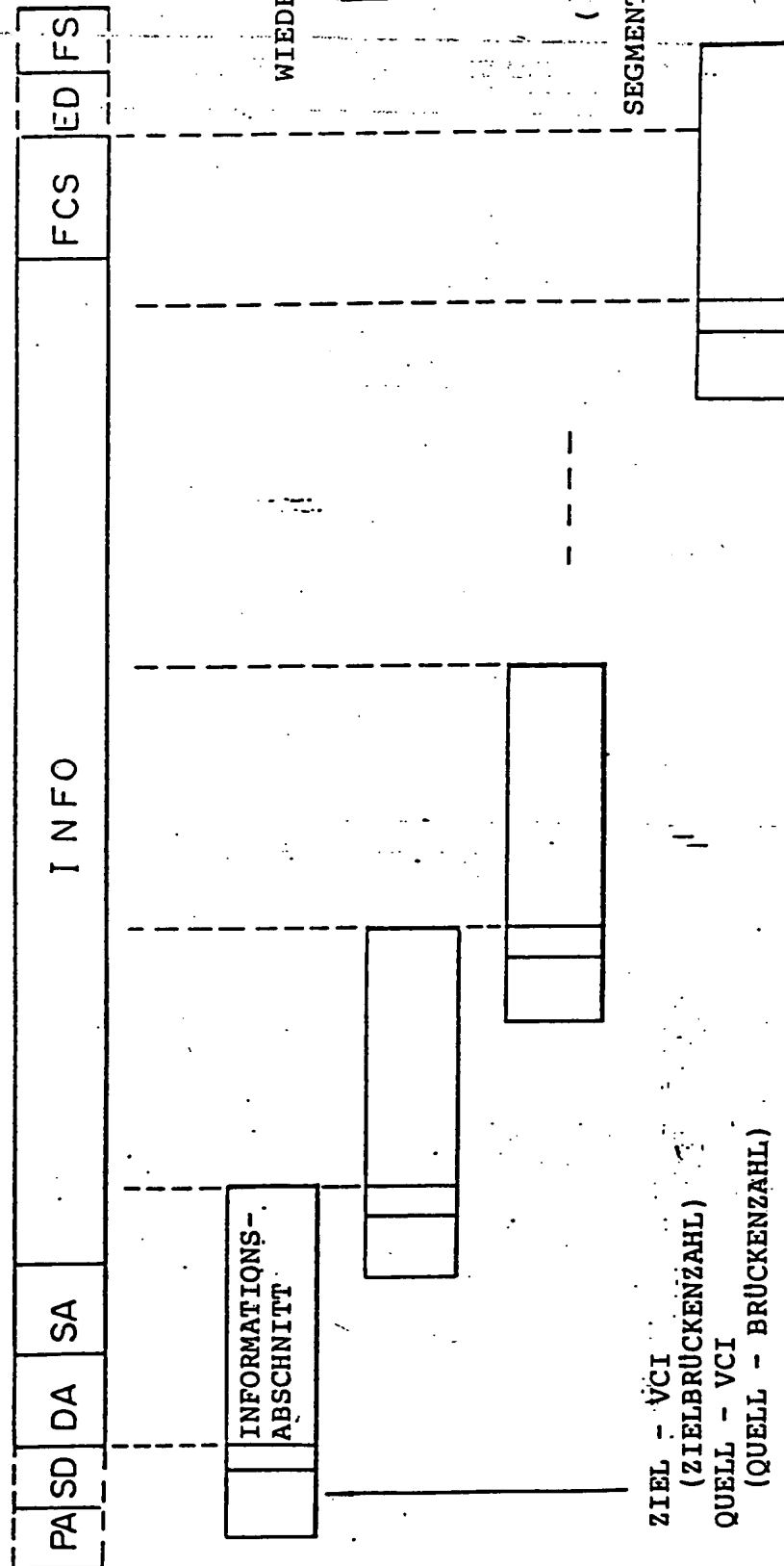


FIG. 5

0	1	2	3	4	5	6	7
DNA							
DNA		DPA		SNA		SPA	
KOPFPRÜF-SEQUENZ							
F/N/L		SCHLIEßLICHE SEGMENT LÄNGE					
SEQUENZZAHL							
VERBINDUNGSFUNKTIONSKOPF							
S-LANMAC KOPF							
ZELLENKOPF							
ZELLENINFORMATIONENABSCHNITT (64B)							
INFO							
INFORMATIONENPRÜF SEQUENZ							

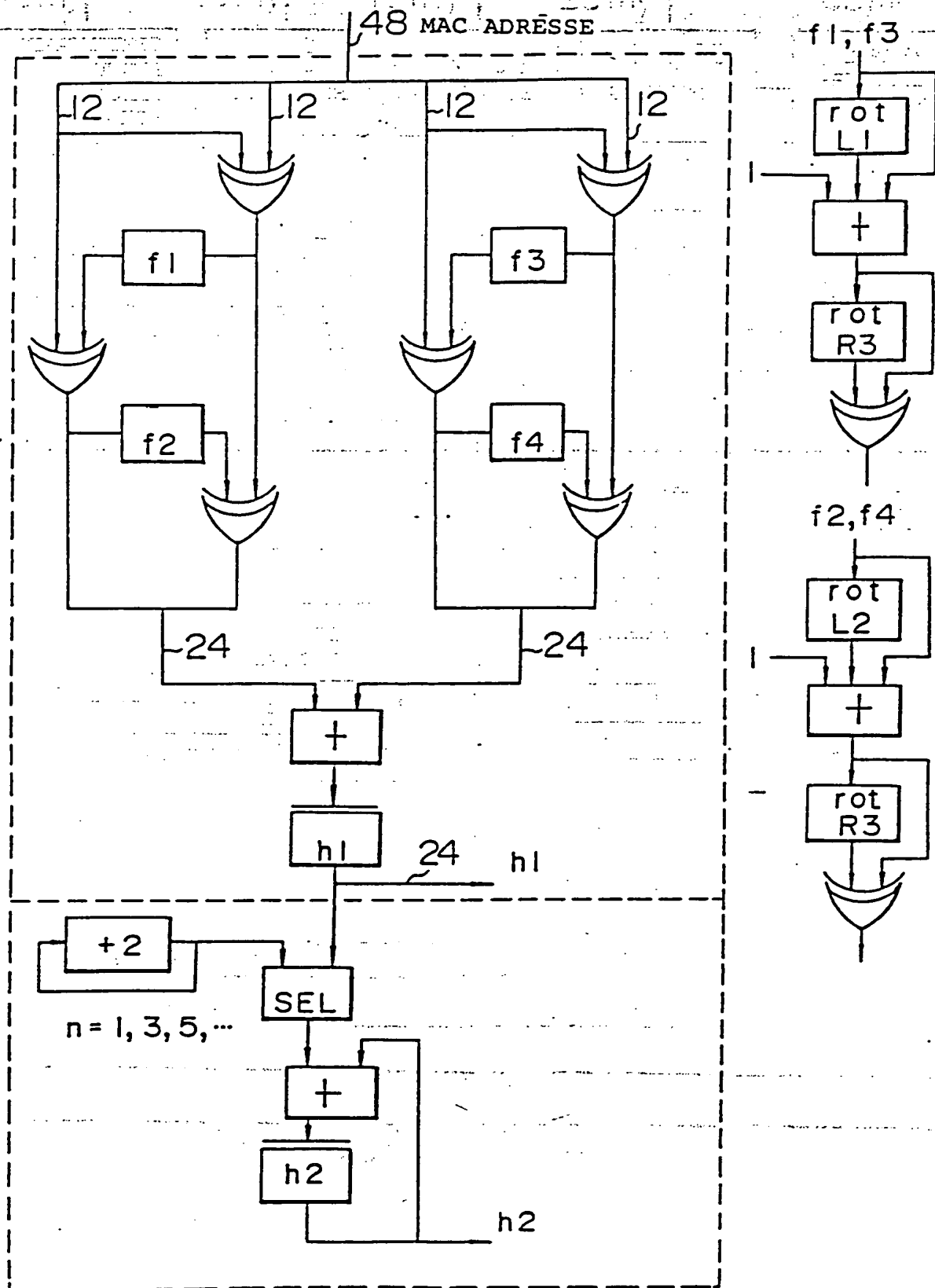
DNA: ZIELKNOTENADRESSE  
DPA: ZIELTORADRESSE  
SNA: QUELLKNOTENADRESSE  
SPA: QUELLTORADRESSE  
F/N/L: ERSTE, NÄCHSTE, LETZTE ZELLENANZEIGE

(69B)

FIG. 6

HOHE ORDNUNG		8 B		GERINGE ORDNUNG		8 B	
AN- WENDEN / NICHT AN- WENDEN 1b	DYNAMISCH / STATISCH 1b	FREI- RAUM 4b	ZEITGEBER 10b	MAC ADRESSE 48b	VCI 12b	FREIRAUM (GEBRAUCHT BEIM VERBINDEN VON VERZWEIGUNGS - LANS) 52b	
TOTALER EINGANG 8K EINGANG ODER-DARÜBER							

FIG. 7



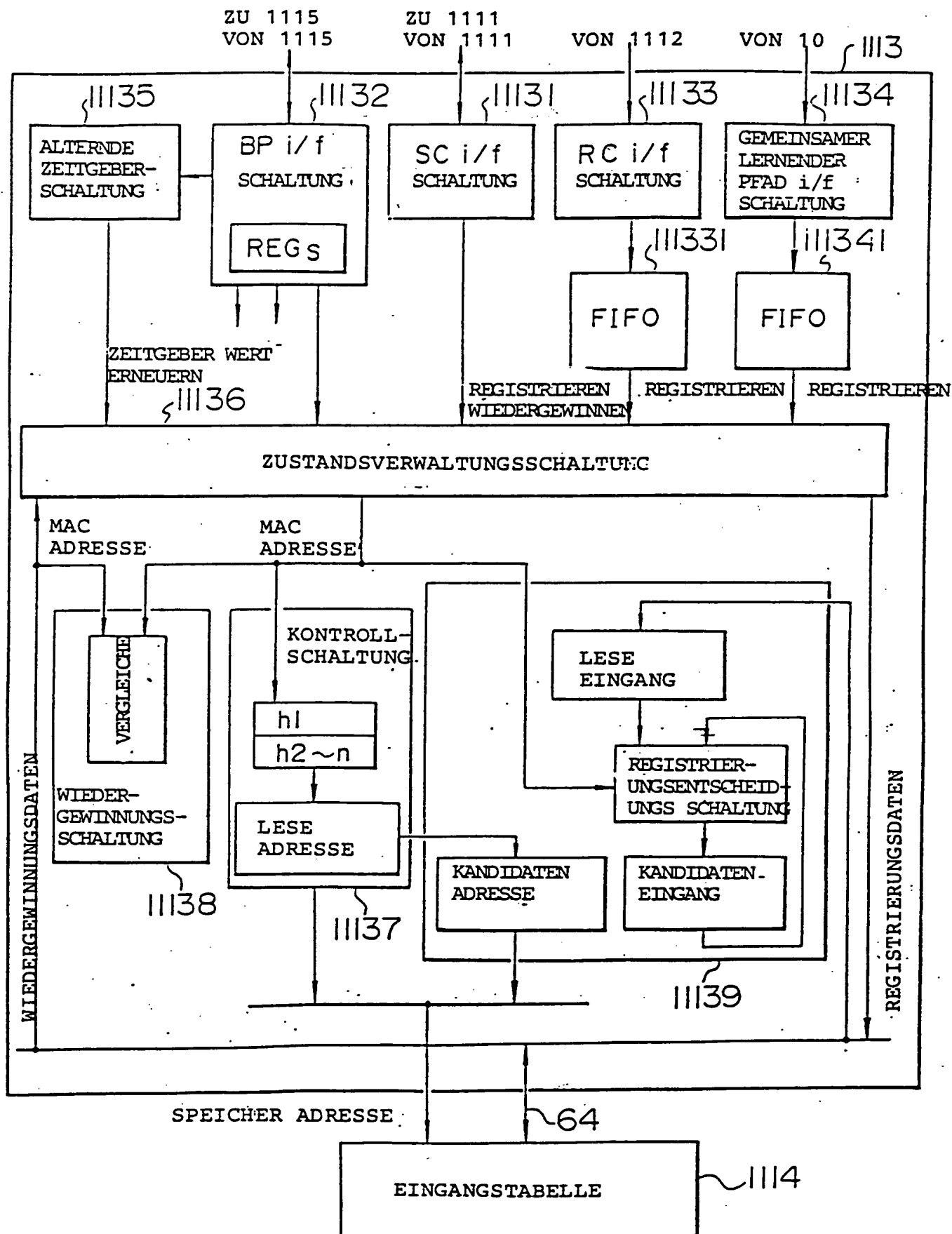




FIG. 9

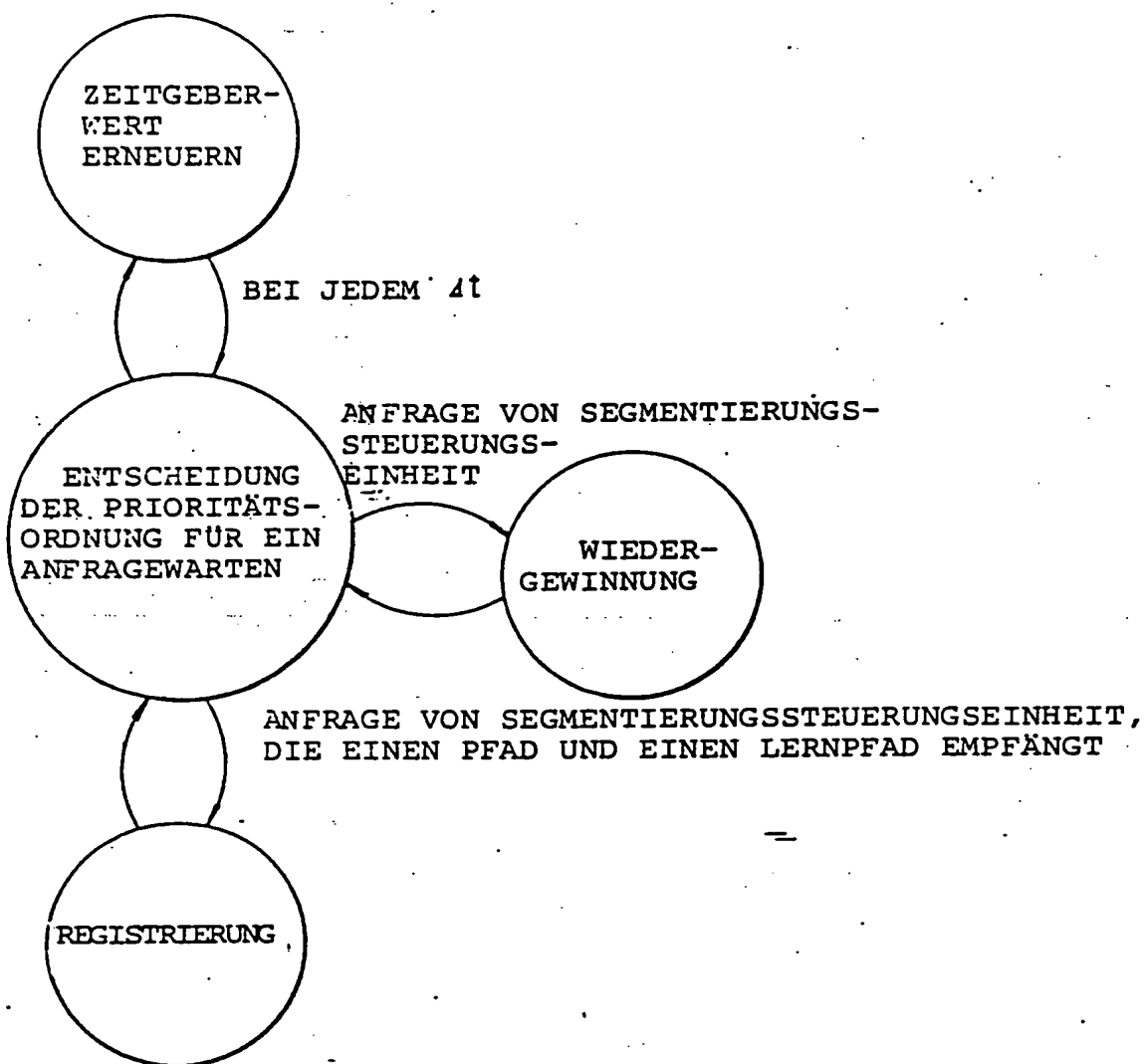


FIG. 10 a <sup>hl</sup> ERZEUGUNG



FIG. 10 b <sup>hl</sup> ERZEUGUNG

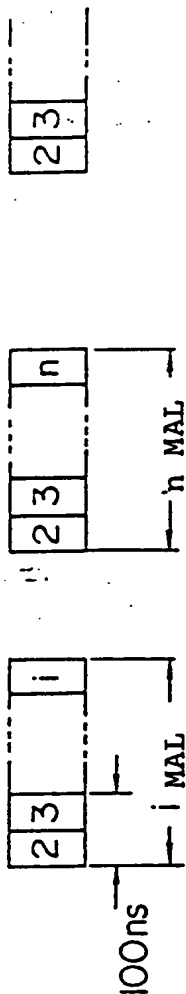


FIG. 10 c SPEICHER - ZUGRIFFS/  
KOINZIDENZ -  
ENTSCHEIDUNG

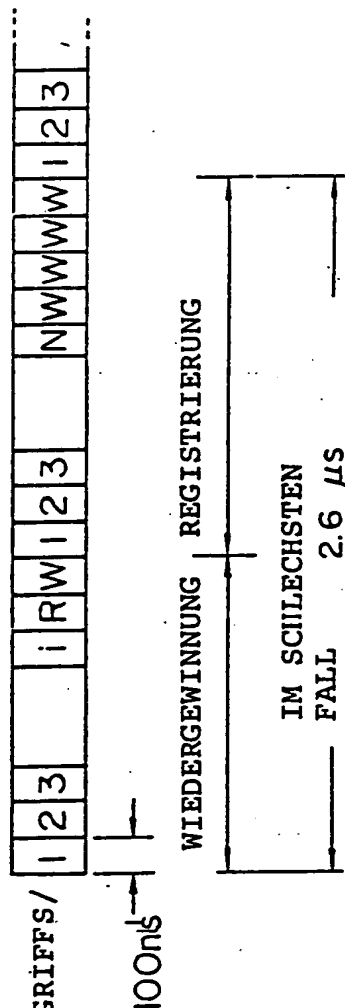


FIG. 11

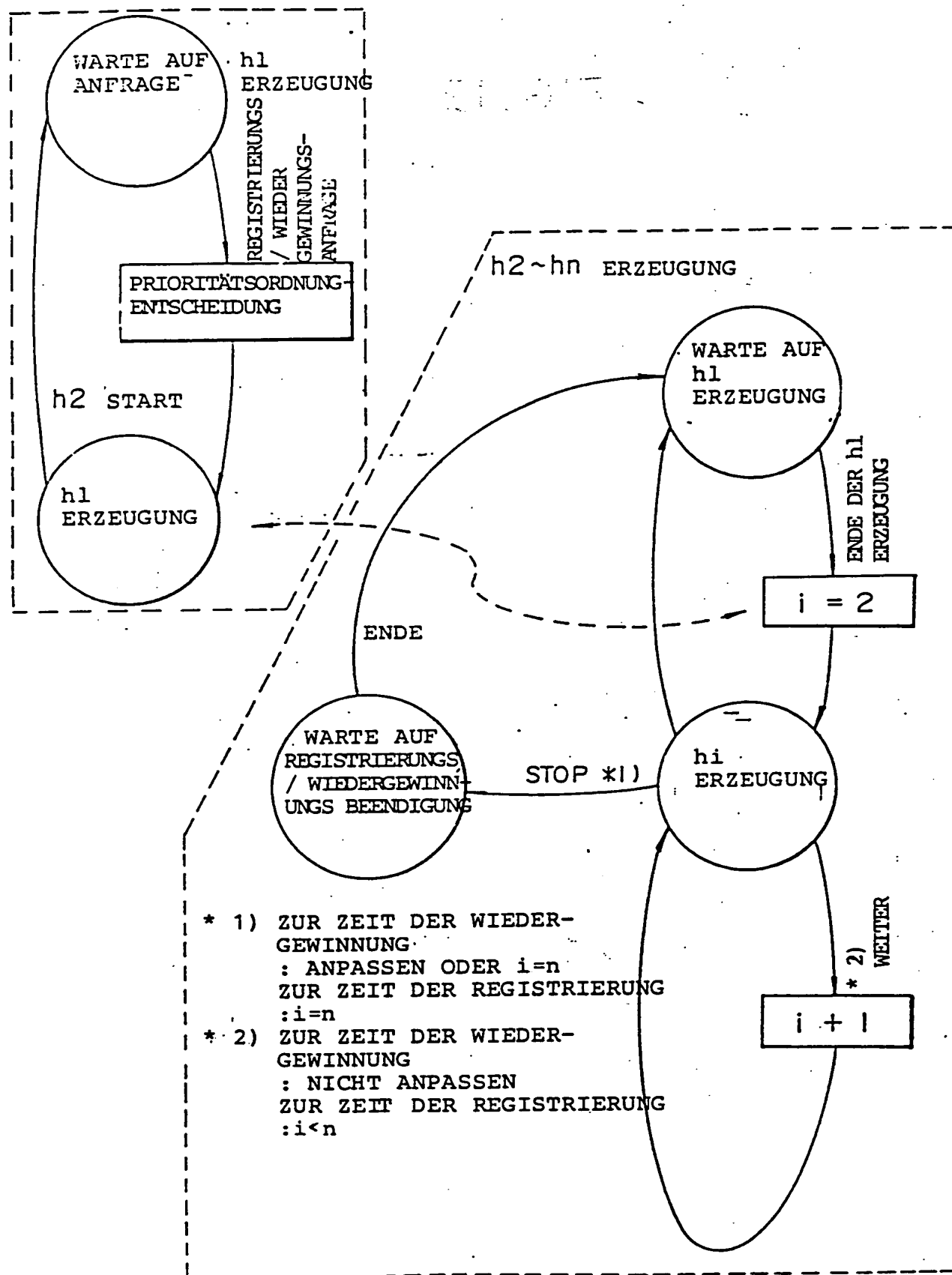


FIG. 12

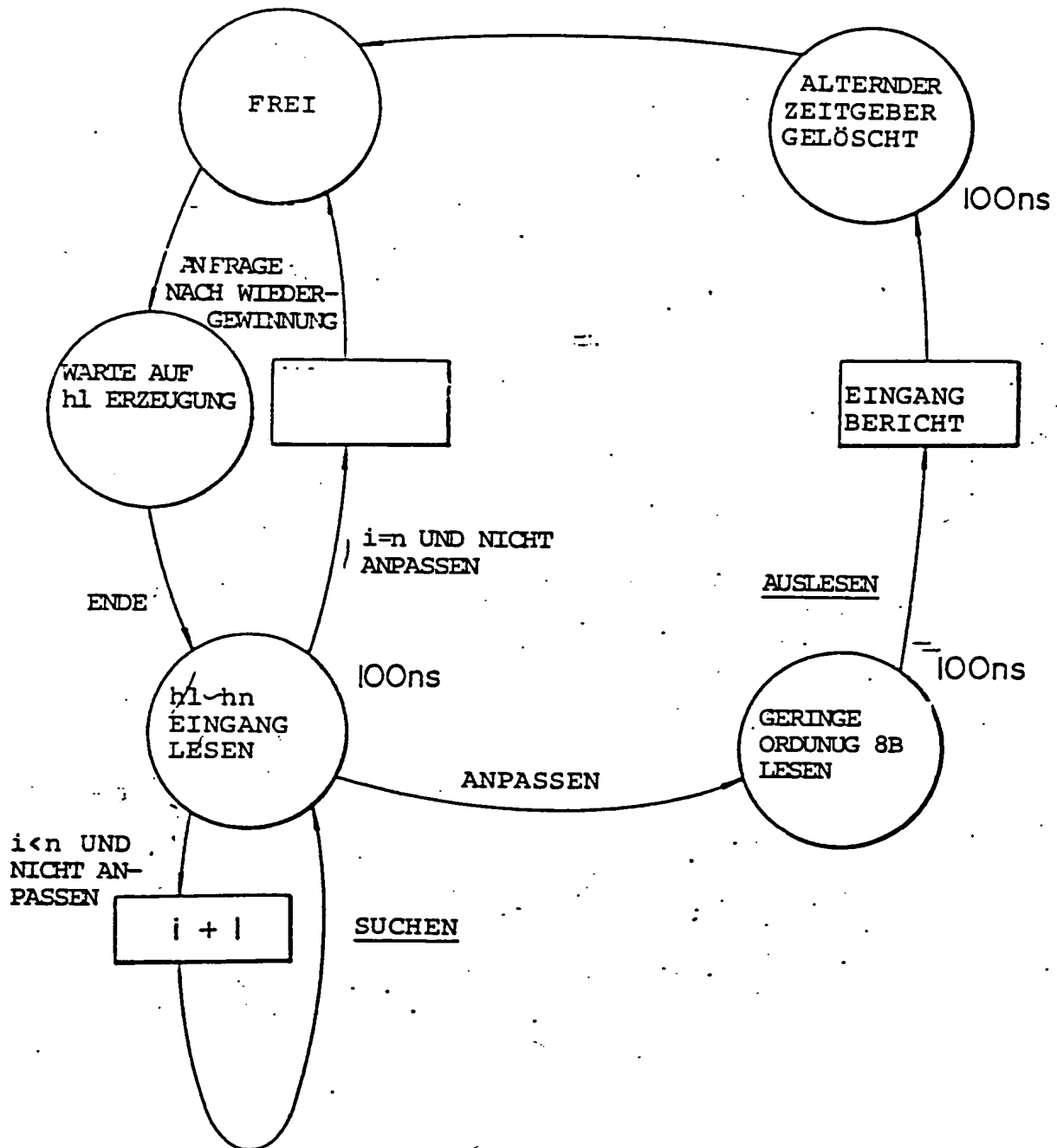


FIG.13

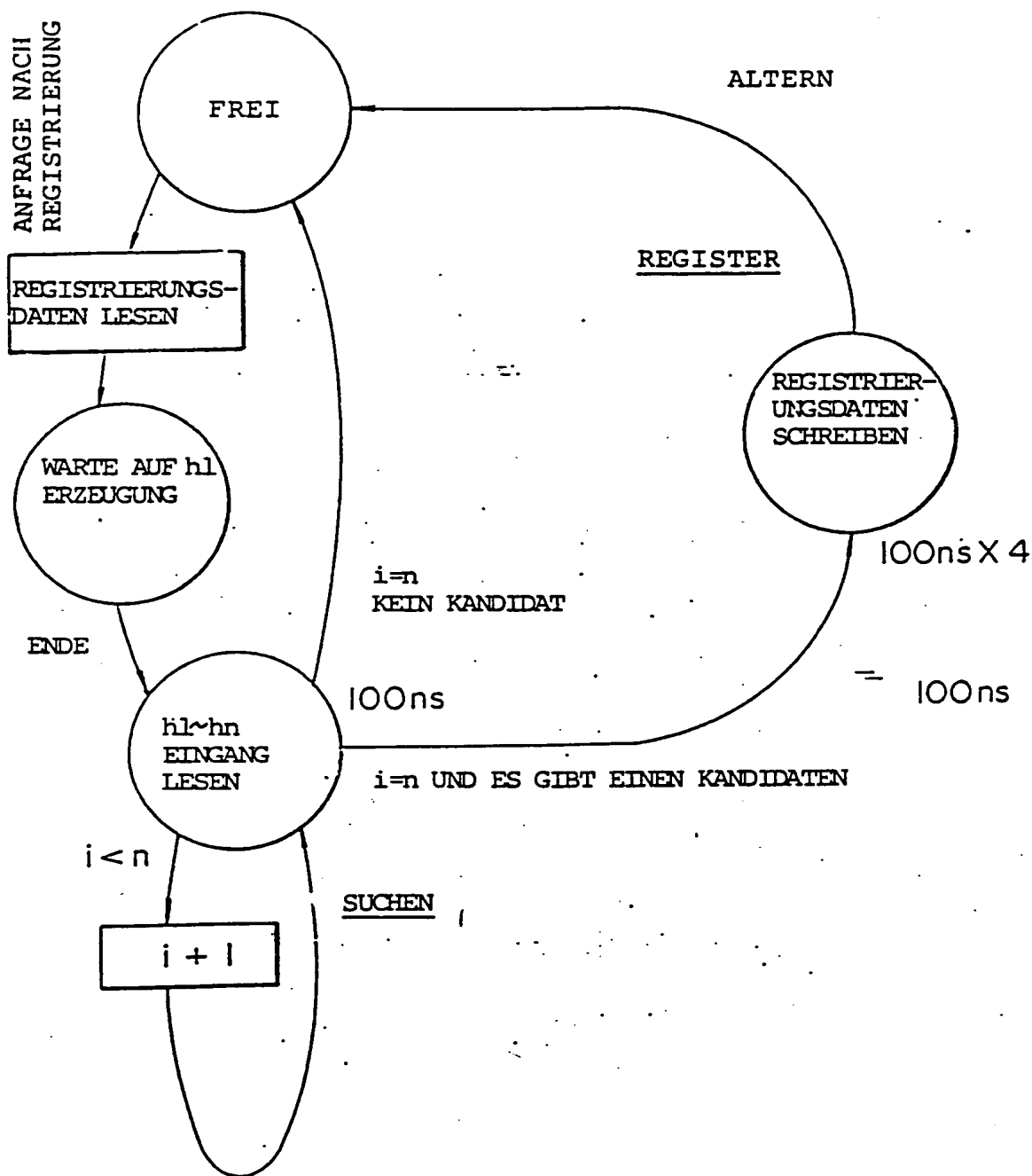


FIG. 14

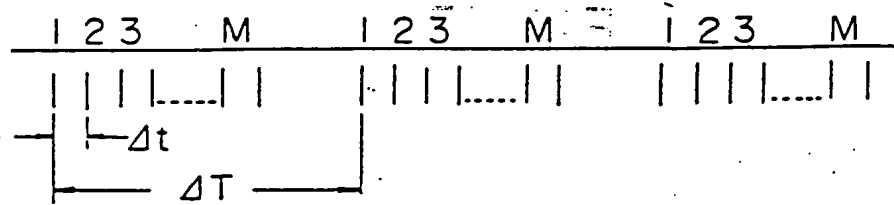


FIG. 15

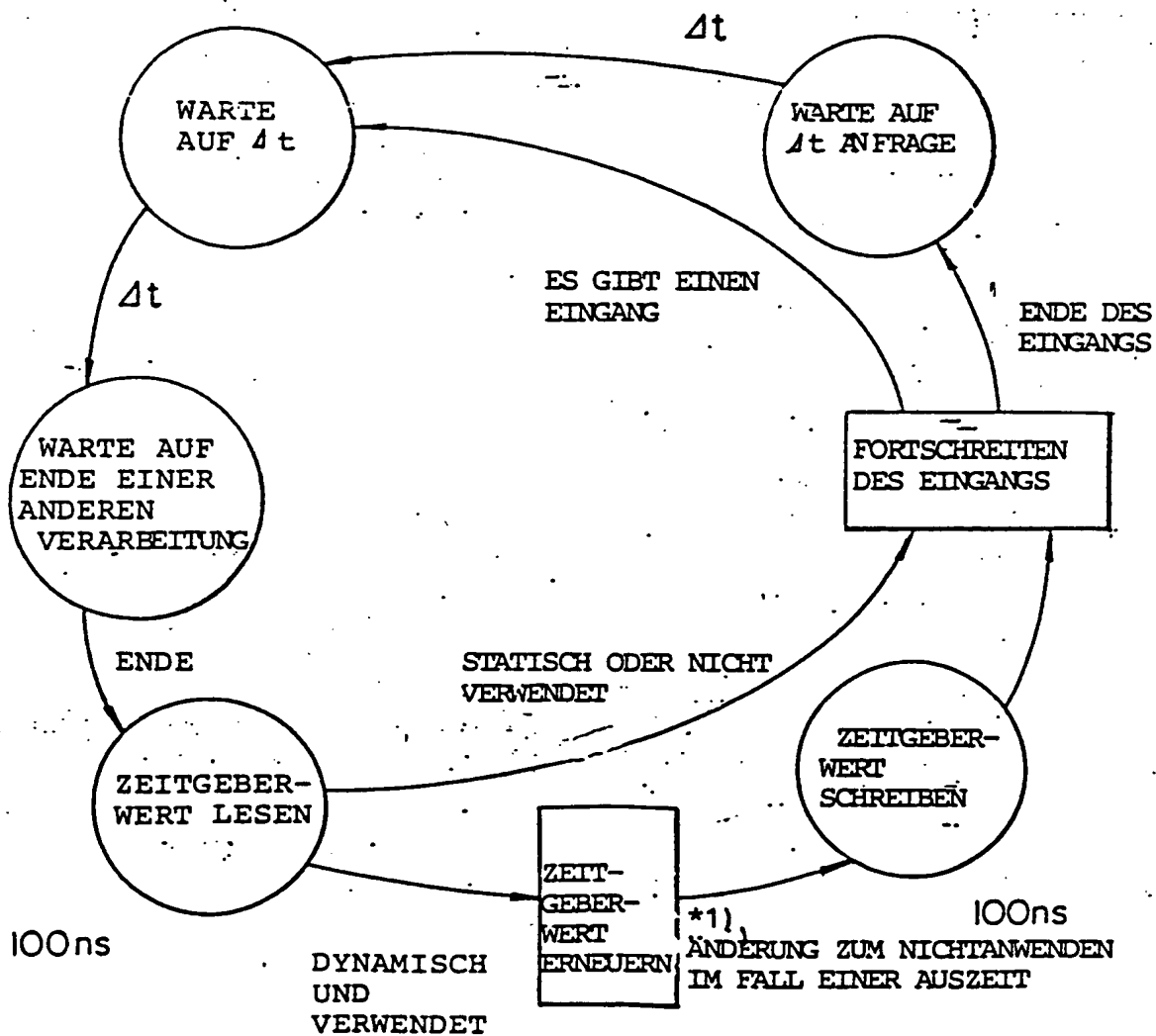
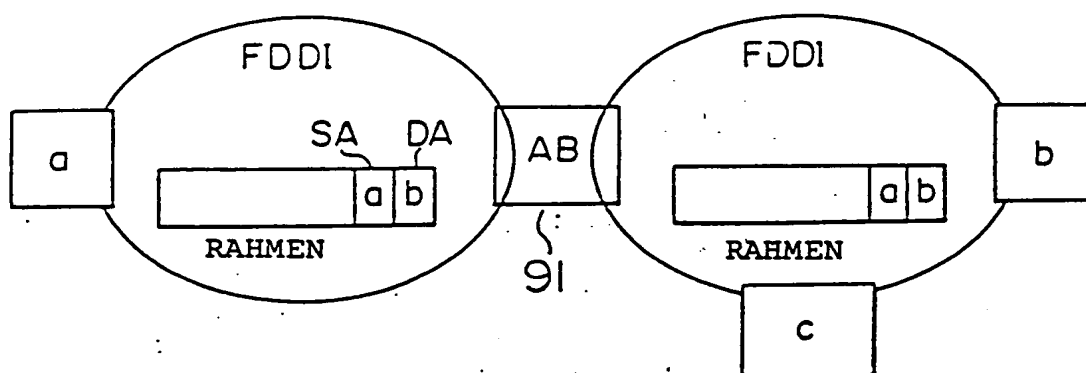




FIG. 16



9114

FDDI ADRESSE	RICHTUNG (TORZAHL)
a	A
b	B
c	B

FIG.17

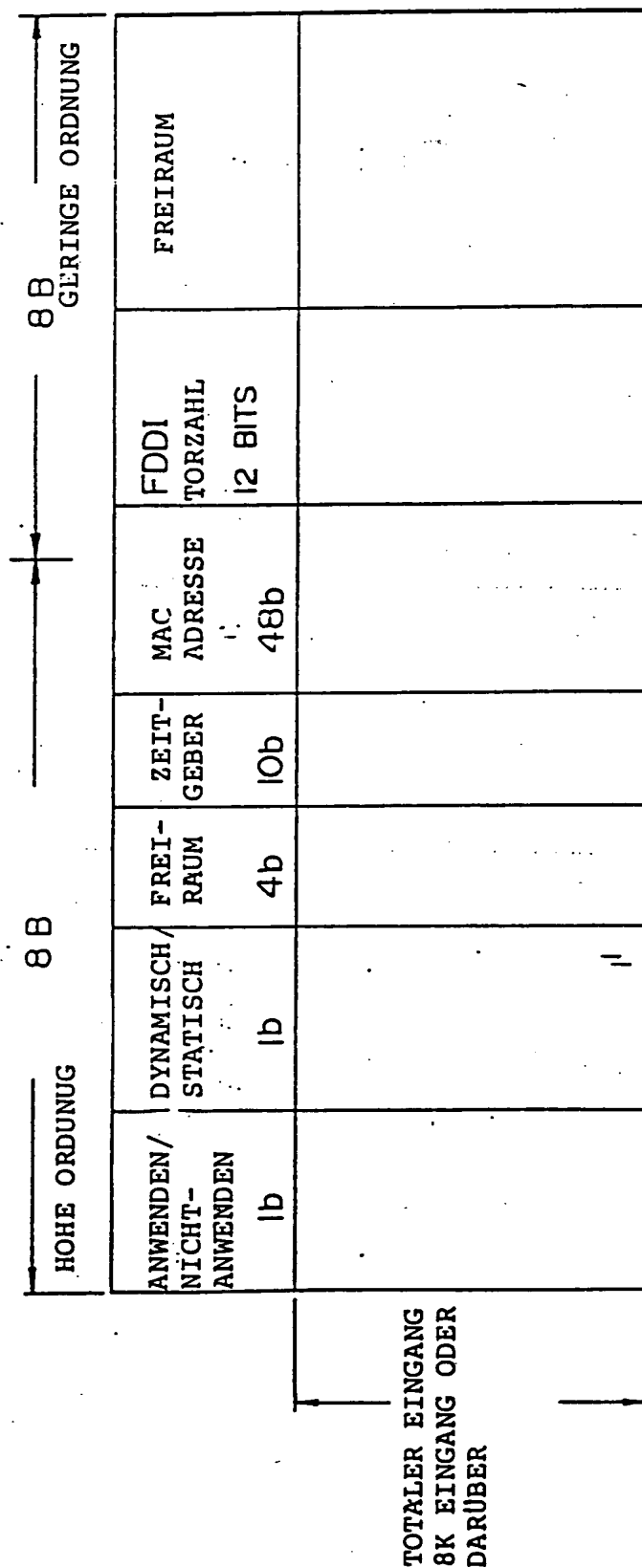


FIG. 18

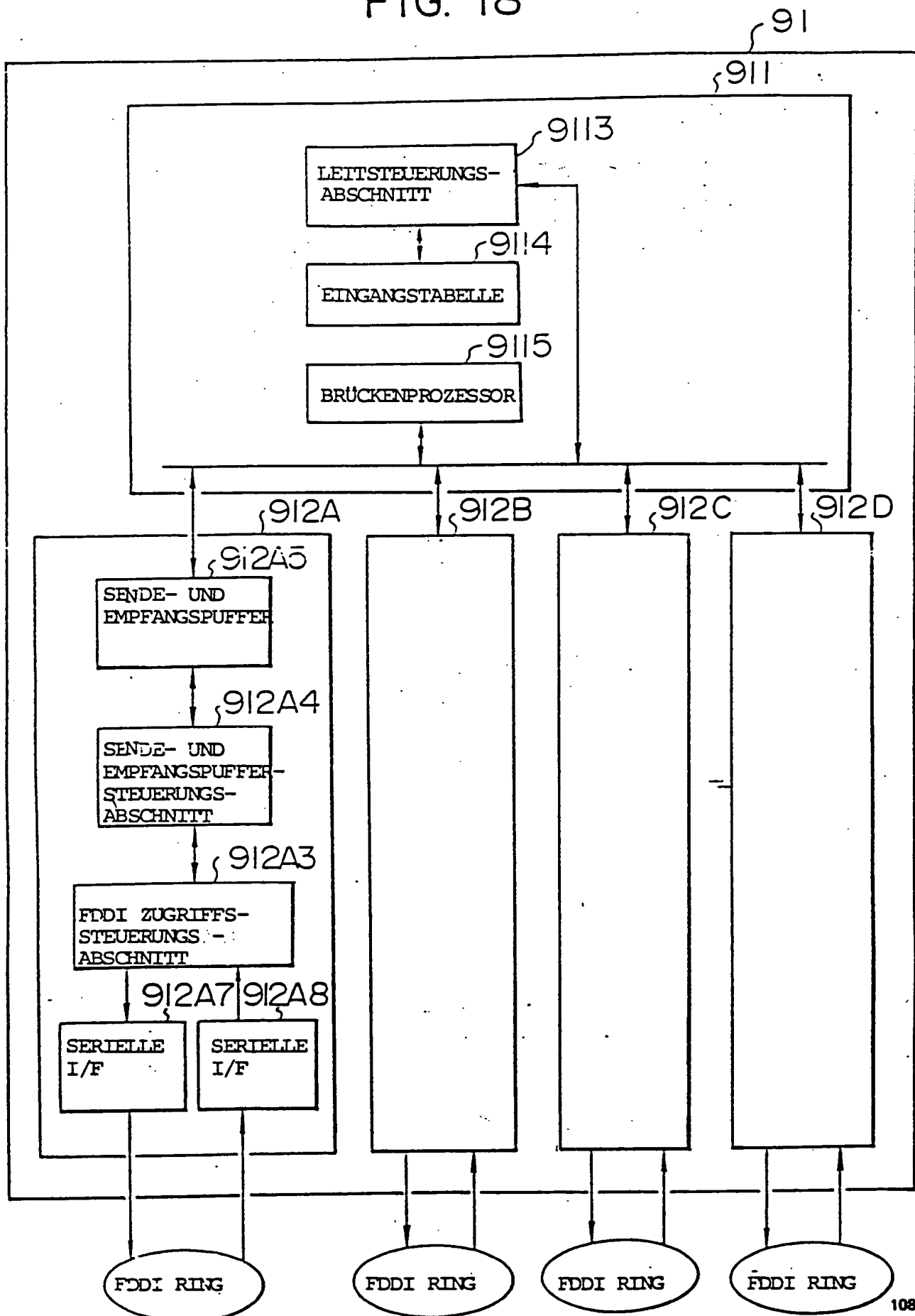


FIG.19

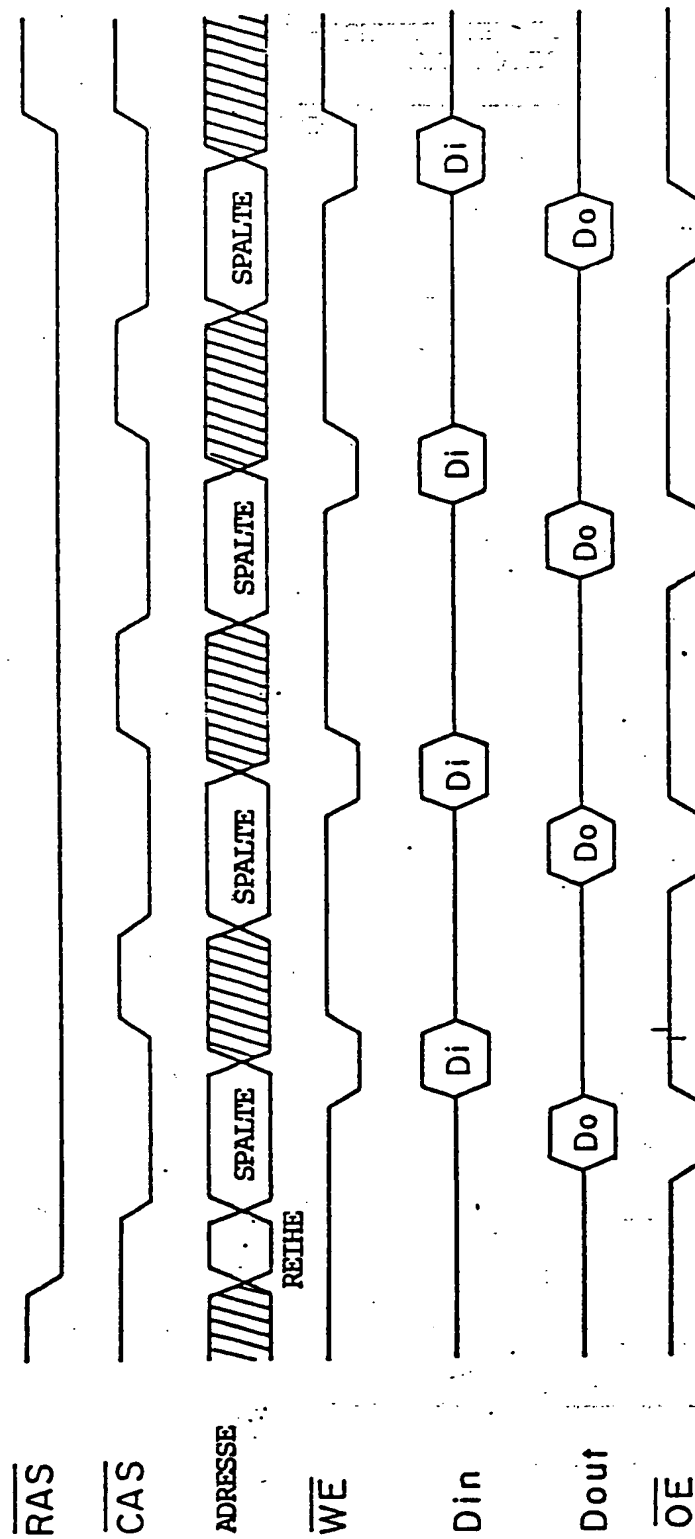


FIG. 20

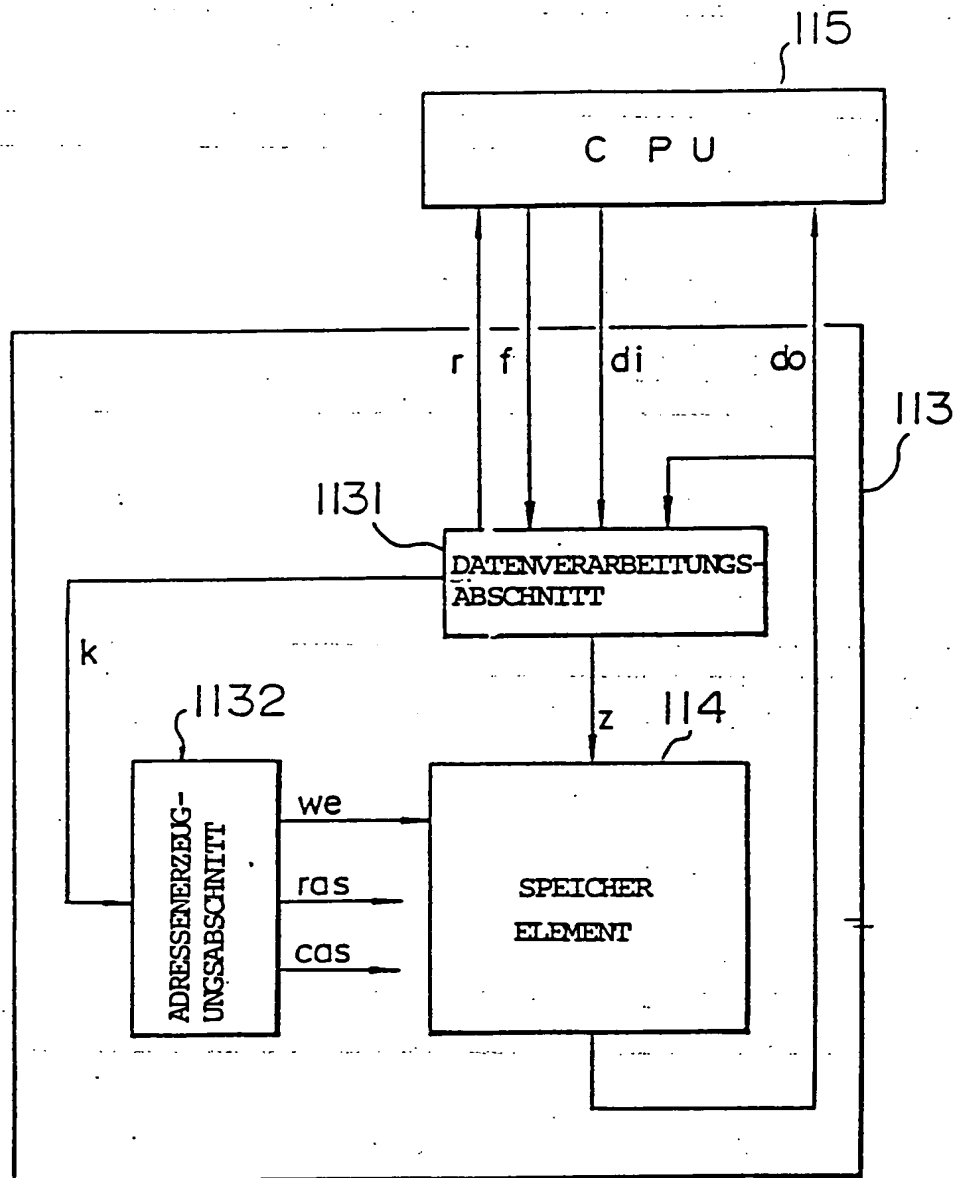




FIG. 22

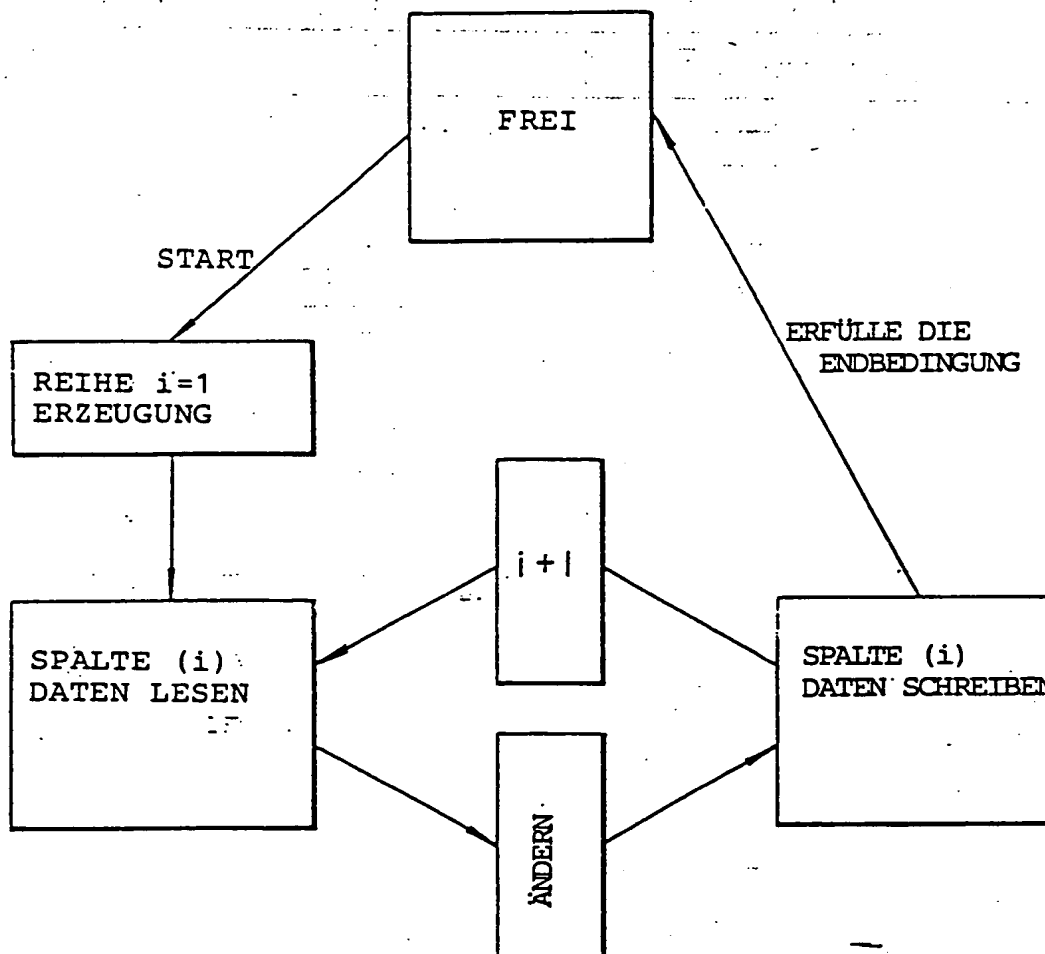


FIG. 23

SCHLÜSSEL (k)	EINGANGS DATEN (e)	ZEITGEBER (t)

FIG. 24

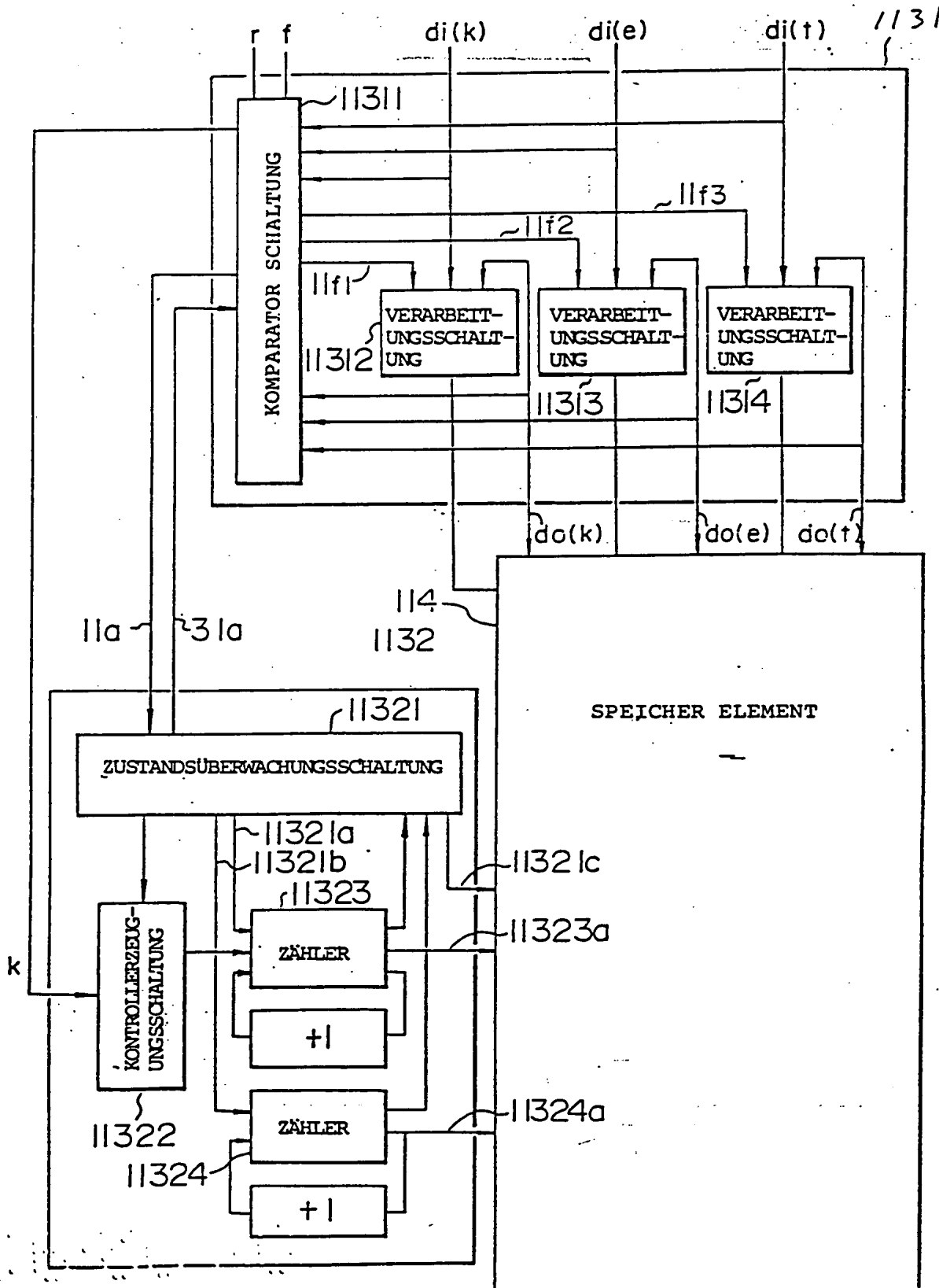




FIG. 25

FUNKTION (f)	do BEDINGUNGEN	z (k, e, t)
KONTROLLWIEDERGEWINNUNG	do(k) $\neq$ di(k) do(k) = di(k)	do di, t = 0
KONTROLLREGISTRIERUNG	do(k) = " "	di, t = 0
	do(k) $\neq$ di(k)	do
	do(k) = di(k)	di, t = 0
ERNEUERN VON ALTERNDEM ZEITGEBER	do(k) $\neq$ " "	do, t = t + 1
	do(k) = " "	do
	do(t) = ZEIT UM	" "
DURCHFÜHREN	KEINE	do

do: LESEDATEN

d: ÄUßERE DATEN

z: SCHREIBDATEN

": LEERE DATEN

k: SCHLÜSSELFELD

e: EINGANGSFELD

t: ZEITGEBERFELD

FIG. 26

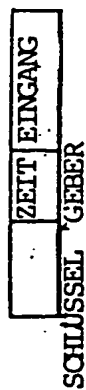


FIG. 26a

WIEDERGWINNUNG

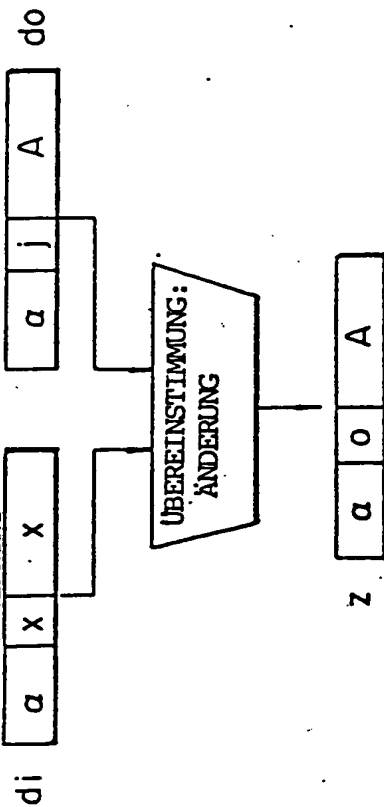


FIG. 26c

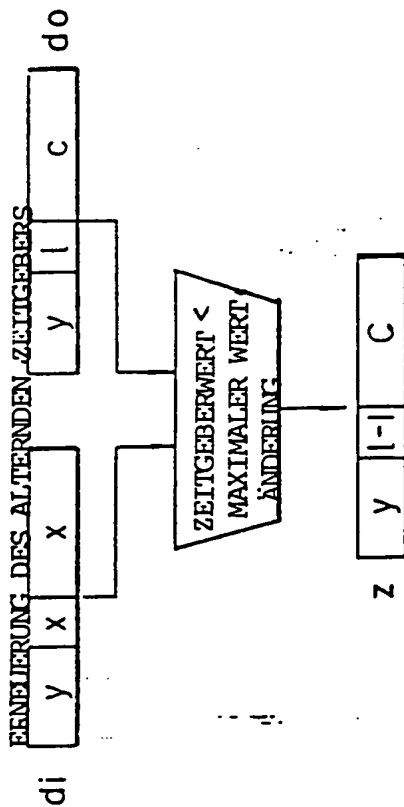


FIG. 26b

REGISTRIERUNG

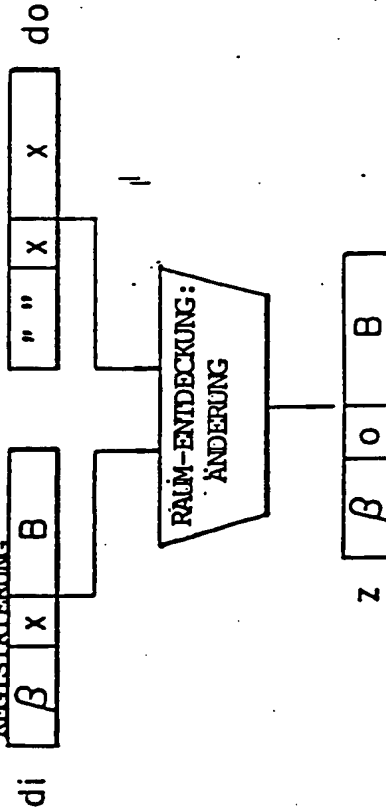


FIG. 26d

REGISTRIERUNG LÖSCHEN

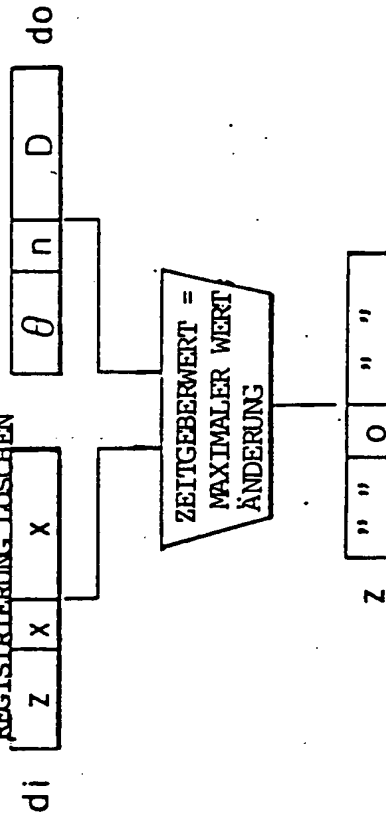


FIG. 27a

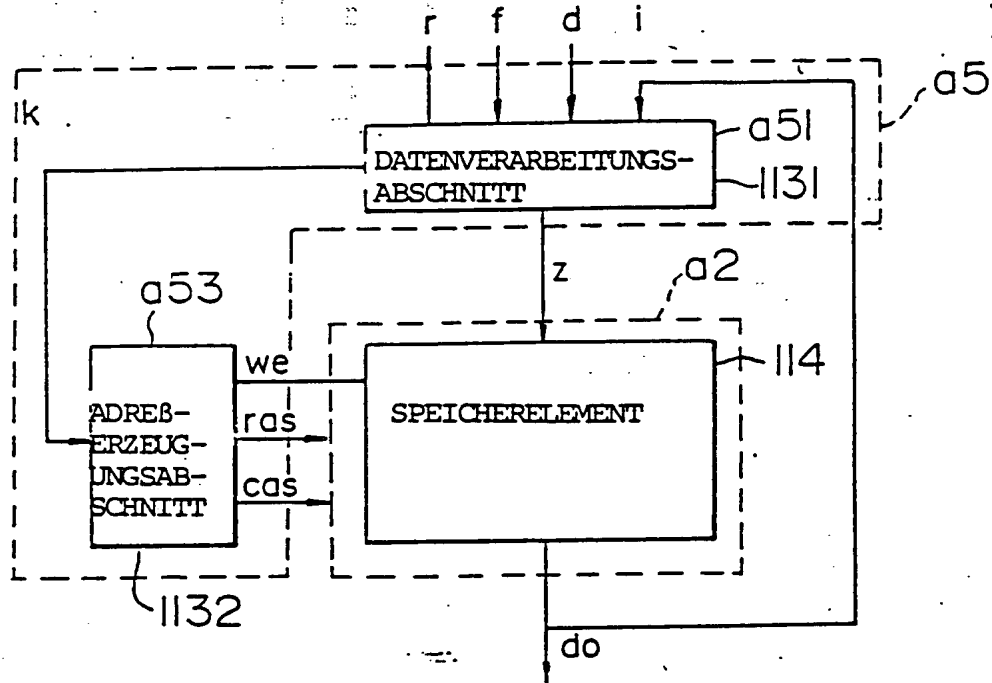


FIG. 27b

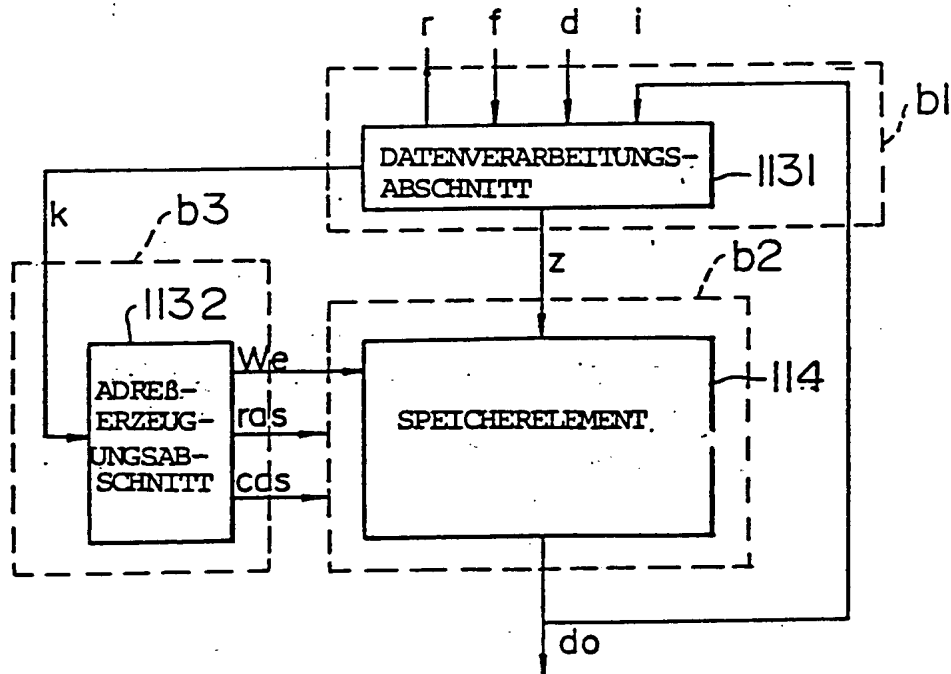


FIG. 27c

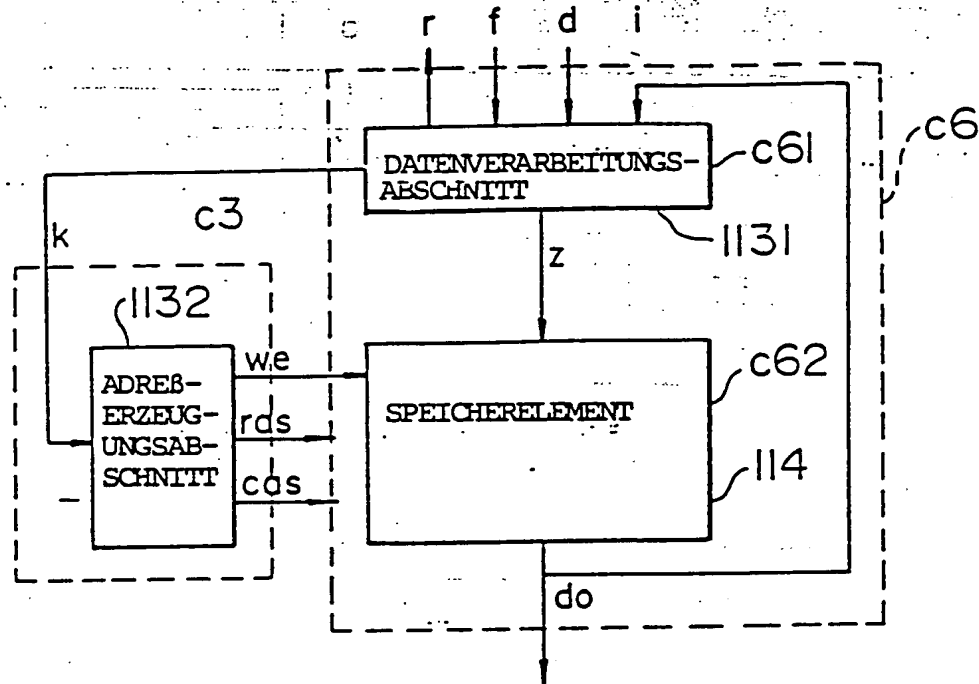


FIG. 27d

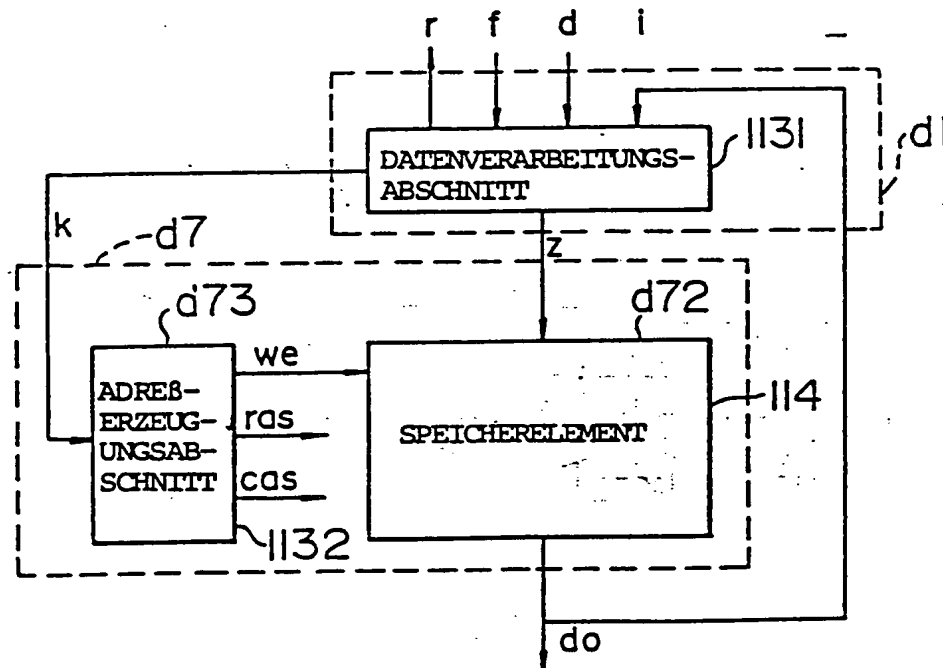


FIG. 28

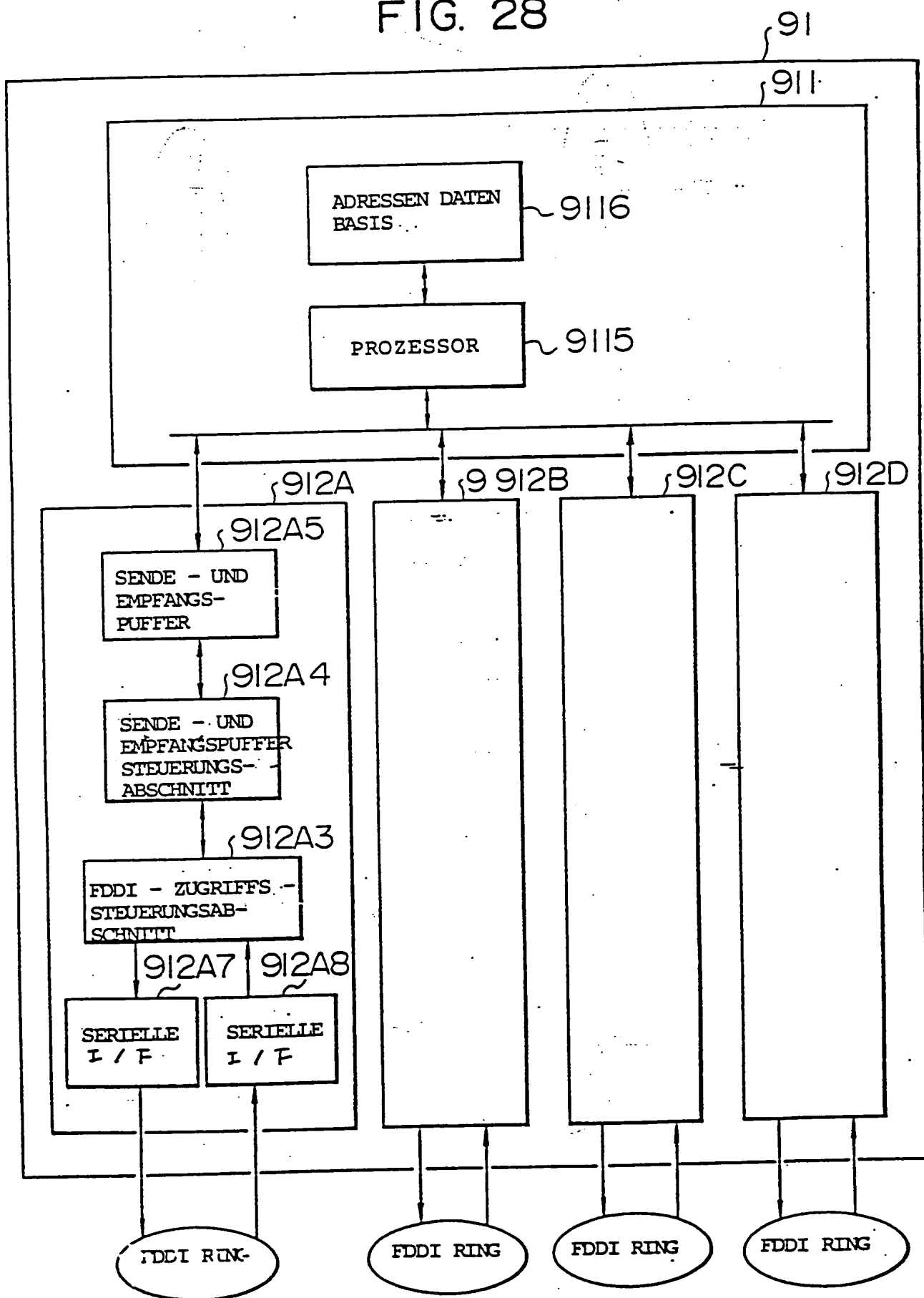


FIG. 1

